

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

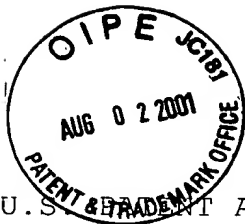
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



2811

PATENT

#2 priority loc
AUG 6 5 10
131-01

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Masashi OGAWA et al.
Appl. No.: 09/725,463 Group: 2811
Filed: November 30, 2000 Examiner: UNKNOWN
For: POWER MODEL FOR EMI SIMULATION TO
SEMICONDUCTOR INTEGRATED CIRCUIT,
METHOD OF DESIGNING THE POWER MODEL,
EMI SIMULATOR, POWER MODEL PREPARATION
COMPUTER PROGRAM, AND STORAGE MEDIUM
STORING THE SAME AS WELL AS POWER MODEL
DESIGN SUPPORT SYSTEM

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

Date: August 2, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	11-338922	November 30, 1999


A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By


Robert J. Patch, #17,355

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

Attachment



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

浜田

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年11月30日

出 願 番 号

Application Number:

平成11年特許願第338922号

出 願 人

Applicant (s):

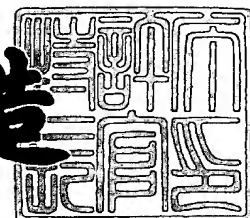
日本電気株式会社

RECEIVED
JPO-5 181
TC2330 MAIL.COM

2000年 8月18日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3066287

【書類名】 特許願

【整理番号】 34700735

【提出日】 平成11年11月30日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/26

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 小川 雅寿

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 和深 裕

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088812

 【弁理士】

 【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

 【予納台帳番号】 030982

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 EMI シミュレーション用半導体集積回路の電源モデル及びその設計方法

【特許請求の範囲】

【請求項 1】 プリント回路基板および半導体集積回路を対象とした EMI シミュレーション用半導体集積回路の電源モデルであって、

前記電源モデルは電源が供給されるインバータ部と、このインバータ部の出力と前記電源間に接続された等価内部容量部とを含むことを特徴とする電源モデル

【請求項 2】 前記インバータ部は前記半導体集積回路の動作状態に応じた信号源と、該信号源を入力とし第一の電源と出力端子間に接続された P チャネルトランジスタと第二の電源と出力端子間に接続された N チャネルトランジスタとからなる 1 個のインバータ回路と、前記インバータ回路の出力端子と第一の電源間に接続された第一の負荷容量と、前記インバータ回路の出力端子と第二の電源間に接続された第二の負荷容量とを含んで構成され、前記等価内部容量部は第一の電源と第二の電源間に接続される直列抵抗を持つ半導体集積回路の第一の電源に接続される N 型ウェルと第二の電源に接続される P 型サブストレート間のジャンクション容量からなる第一の等価内部容量と、P チャネルトランジスタのゲート容量に基づく直列抵抗を持つ第二の等価内部容量と、N チャネルトランジスタのゲート容量に基づく直列抵抗を持つ第三の等価内部容量とで構成されることを特徴とする請求項 1 記載の電源モデル。

【請求項 3】 請求項 2 のインバータ回路と、第一の負荷容量と、第二の負荷容量に代えて、第一の電源と出力端子間に接続された P チャネルトランジスタと第二の電源と出力端子間に接続された N チャネルトランジスタとから成る第一のインバータ回路と、前記第一のインバータ回路の出力端子と第一の電源間に接続された第一の負荷容量と、前記第一のインバータ回路の出力端子と第二の電源間に接続された第二の負荷容量と、第一のインバータ回路の出力端子が入力端子に接続された第一の電源と出力端子間に接続された P チャネルトランジスタと第

二の電源と出力端子間に接続されたNチャネルトランジスタとからなる第二のインバータ回路と、前記第二のインバータ回路の出力端子と第一の電源間に接続された第三の負荷容量と、前記第二のインバータ回路の出力端子と第二の電源間に接続された第四の負荷容量とで構成されることを特徴とする請求項2記載の電源モデル。

【請求項4】 複数組の電源系統を有する半導体集積回路において、電源系統と同一組数の請求項1乃至3いずれかに記載のモデルで構成されることを特徴とする電源モデル。

【請求項5】 半導体集積回路の内部を配置情報に基づく複数のブロックに分割し、その各ブロック毎に請求項1乃至3いずれかに記載のモデルを有することを特徴とする電源モデル。

【請求項6】 半導体集積回路の内部を、一定の信号伝搬遅延時間以内のゲート回路を同一タイミンググループとして、複数のグループに分割し、その各グループ毎に請求項1乃至3いずれかに記載のインバータ回路と負荷容量を有することを特徴とする電源モデル。

【請求項7】 プリント回路基板および半導体集積回路を対象としたEMIシミュレーション用半導体集積回路の電源モデルの設計方法であって、

前記電源モデルは前記EMIシミュレーション対象の半導体集積回路の全回路接続情報に基づき設計されることを特徴とするEMIシミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項8】 前記半導体集積回路の全回路接続情報から同一のクロック周波数又は動作周波数でスイッチング動作している全Pチャネルトランジスタについて、個々のゲート幅寸法の総和を前記電源モデルのPチャネルトランジスタの寸法とし、個々のPチャネルトランジスタのゲート容量と出力と第一の電源間の配線容量の総和を前記電源モデルの第一の負荷容量とし、全Nチャネルトランジスタについて、個々のゲート幅寸法の総和を前記電源モデルのNチャネルトランジスタの寸法とし、個々のNチャネルトランジスタのゲート容量と出力と第二の電源間の配線容量の総和を前記電源モデルの第二の負荷容量とする請求項7記載のEMIシミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 9】 前記半導体集積回路の全回路接続情報から同一のクロック周波数又は動作周波数でスイッチング動作している P チャンネルトランジスタの個数と P チャンネルトランジスタの平均ゲート幅寸法の積を前記電源モデルの P チャンネルトランジスタの寸法とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と P チャンネルトランジスタの個数との積を前記電源モデルの第一の負荷容量とし、N チャンネルトランジスタの個数と N チャンネルトランジスタの平均ゲート幅寸法の積を前記電源モデルの N チャンネルトランジスタの寸法とし、N チャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と N チャンネルトランジスタの個数との積を前記電源モデルの第二の負荷容量とする請求項 7 記載の EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 10】 前記半導体集積回路の平均動作率と全 P チャンネルトランジスタの個数と P チャンネルトランジスタの平均ゲート幅寸法の積を前記電源モデルの P チャンネルトランジスタの寸法とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と平均動作率と全 P チャンネルトランジスタの個数との積を前記電源モデルの第一の負荷容量とし、平均動作率と全 N チャンネルトランジスタの個数と N チャンネルトランジスタの平均ゲート幅寸法の積を前記電源モデルの N チャンネルトランジスタの寸法とし、N チャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と平均動作率と全 N チャンネルトランジスタの個数との積を前記電源モデルの第二の負荷容量とする請求項 7 記載の EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 11】 前記半導体集積回路の最大動作率と全 P チャンネルトランジスタの個数と P チャンネルトランジスタの平均ゲート幅寸法の積を前記電源モデルの P チャンネルトランジスタの寸法とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と最大動作率と全 P チャンネルトランジスタの個数との積を前記電源モデルの第一の負荷容量とし、最大動作率と全 N チャンネルトランジスタの個数と N チャンネルトランジスタの平均ゲート幅寸法の積を前記電源モデルの N チャンネルトランジスタの寸法とし、N チャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と最大動作率と全 N チャンネルトランジスタの個数との積を前記電源モデルの第二の負荷容量とする請求項 7 記載の EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

タの平均ゲート容量と出力と第二の電源間の平均配線容量の和と最大動作率と全 N チャンネルトランジスタの個数との積を前記電源モデルの第二の負荷容量とする請求項 7 記載の EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 1 2】 前記半導体集積回路全体の平均電源電流に対する平均ゲート幅寸法の P チャンネルトランジスタと N チャンネルトランジスタから成るインバータ回路とその出力端子と第一の電源間に接続される第一の平均負荷容量と出力端子と第二の電源間に接続される第二の平均負荷容量とで構成される基本ゲート回路 1 個の平均電源電流の比率を電源電流比率とし、半導体集積回路の電源電流比率と全 P チャンネルトランジスタの個数と P チャンネルトランジスタの平均ゲート幅寸法の積を前記電源モデルの P チャンネルトランジスタの寸法とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と電源電流比率と全 P チャンネルトランジスタの個数との積を前記電源モデルの第一の負荷容量とし、電源電流比率と全 N チャンネルトランジスタの個数と N チャンネルトランジスタの平均ゲート幅寸法の積を前記電源モデルの N チャンネルトランジスタの寸法とし、N チャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と電源電流比率と全 N チャンネルトランジスタの個数との積を前記電源モデルの第二の負荷容量とする請求項 7 記載の EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 1 3】 前記半導体集積回路の全回路接続情報から同一のクロック周波数又は動作周波数でスイッチング動作している全 P チャンネルトランジスタについて、個々のゲート幅寸法の総和の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれの P チャンネルトランジスタの寸法とし、個々の P チャンネルトランジスタのゲート容量と出力と第一の電源間の配線容量の総和の半分の値を前記電源モデルの第一と第三の負荷容量とし、全 N チャンネルトランジスタについて、個々のゲート幅寸法の総和の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれの N チャンネルトランジスタの寸法とし、個々の N チャンネルトランジスタのゲート容量と出力と第二の電源間の配線容量の総和の半分の値を前記電源モデルの第二と第四の負荷容量とする請求項 7 記載の EMI シ

ミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 1 4】 前記半導体集積回路の全回路接続情報から同一のクロック周波数又は動作周波数でスイッチング動作している P チャンネルトランジスタの個数と P チャンネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれの P チャンネルトランジスタの寸法とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と P チャンネルトランジスタの個数との積の半分の値を前記電源モデルの第一と第三の負荷容量とし、N チャンネルトランジスタの個数と N チャンネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれの N チャンネルトランジスタの寸法とし、N チャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と N チャンネルトランジスタの個数との積の半分の値を前記電源モデルの第二と第四の負荷容量とする請求項 7 記載の EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 1 5】 前記半導体集積回路の平均動作率と全 P チャンネルトランジスタの個数と P チャンネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれの P チャンネルトランジスタの寸法とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と平均動作率と全 P チャンネルトランジスタの個数との積の半分の値を前記電源モデルの第一と第三の負荷容量とし、平均動作率と全 N チャンネルトランジスタの個数と N チャンネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれの N チャンネルトランジスタの寸法とし、N チャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と平均動作率と全 N チャンネルトランジスタの個数との積の半分の値を前記電源モデルの第二と第四の負荷容量とする請求項 7 記載の EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 1 6】 前記半導体集積回路の最大動作率と全 P チャンネルトランジスタの個数と P チャンネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれの P チャンネルトランジスタの寸法とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と最大動作率と全 P チャンネルトランジスタの個数との積の半分の値を前記電源モデルの第一と第三の負荷容量とし、最大動作率と全 N チャンネルトランジスタの個数と N チャンネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれの N チャンネルトランジスタの寸法とし、N チャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と最大動作率と全 N チャンネルトランジスタの個数との積の半分の値を前記電源モデルの第二と第四の負荷容量とする請求項 7 記載の EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

タの寸法とし、Pチャネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と最大動作率と全Pチャネルトランジスタの個数との積の半分の値を前記電源モデルの第一と第三の負荷容量とし、最大動作率と全Nチャネルトランジスタの個数とNチャネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれのNチャネルトランジスタの寸法とし、Nチャネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と最大動作率と全Nチャネルトランジスタの個数との積の半分の値を前記電源モデルの第二と第四の負荷容量とする請求項7記載のEMIシミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項17】 前記半導体集積回路全体の平均電源電流に対する平均ゲート幅寸法の半分のPチャネルトランジスタとNチャネルトランジスタから成る第一のインバータ回路とその出力端子と第一の電源間に接続される第一の平均負荷容量と出力端子と第二の電源間に接続される第二の平均負荷容量と第一のインバータ回路の出力端子が入力端子に接続された平均ゲート幅寸法の半分のPチャネルトランジスタとNチャネルトランジスタから成る第二のインバータ回路と、前記第二のインバータ回路の出力端子と第一の電源間に接続された第三の負荷容量と、前記第二のインバータ回路の出力端子と第二の電源間に接続された第四の負荷容量とで構成される基本ゲート回路1個の平均電源電流の比率を電源電流比率とし、該電源電流比率と全Pチャネルトランジスタの個数とPチャネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれのPチャネルトランジスタの寸法とし、Pチャネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と電源電流比率と全Pチャネルトランジスタの個数との積の半分の値を前記電源モデルの第一と第三の負荷容量とし、電源電流比率と全Nチャネルトランジスタの個数とNチャネルトランジスタの平均ゲート幅寸法の積の半分の値を前記電源モデルの第一及び第二のインバータ回路のそれぞれのNチャネルトランジスタの寸法とし、Nチャネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と電源電流比率と全Nチャネルトランジスタの個数との積の半分の値を前記電源モデルの第二と第四の負荷容量とする請求項7記載のEMIシミュレーション

用半導体集積回路の電源モデルの設計方法。

【請求項 1 8】 請求項 8 及び 1 3 において、前記半導体集積回路の全回路接続情報から同一のクロック周波数又は動作周波数でスイッチング動作していない全 P チャンネルトランジスタについて、個々の ON 抵抗を並列接続した値の 2 倍の値を第三の等価内部容量の直列抵抗とし、個々のゲート容量と出力と第一の電源間の配線容量の総和の半分の値を第二の等価内部容量とし、動作していない全 N チャンネルトランジスタについて、個々の ON 抵抗を並列接続した値の 2 倍の値を第二の等価内部容量の直列抵抗とし、個々のゲート容量と出力と第二の電源間の配線容量の総和の半分の値を第三の等価内部容量とする EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 1 9】 請求項 9 及び 1 4 において、前記半導体集積回路の全回路接続情報から同一のクロック周波数又は動作周波数でスイッチング動作していない全 P チャンネルトランジスタについて、P チャンネルトランジスタの個数分平均 ON 抵抗を並列接続した値の 2 倍を第三の等価内部容量の直列抵抗とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和の P チャンネルトランジスタ個数倍の半分の値を第二の等価内部容量とし、動作していない全 N チャンネルトランジスタについて、N チャンネルトランジスタの個数分平均 ON 抵抗を並列接続した値の 2 倍を第二の等価内部容量の直列抵抗とし、N チャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和の N チャンネルトランジスタの個数倍の半分の値を第三の等価内部容量とする EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 2 0】 請求項 1 0 及び 1 5 において、前記半導体集積回路の全 P チャンネルトランジスタの個数と全 P チャンネルトランジスタの個数と平均動作率との積との差を非動作 P チャンネルトランジスタ数とし、該非動作 P チャンネルトランジスタ数分の平均 ON 抵抗を並列接続した値の 2 倍を第三の等価内部容量の直列抵抗とし、P チャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と非動作 P チャンネルトランジスタ数の積の半分の値を第二の等価内部容量とし、半導体集積回路の全 N チャンネルトランジスタの個数と全 N チャンネルトランジスタの個数と平均動作率との積との差を非動作 N チャンネルトランジス

タ数とし、該非動作Nチャンネルトランジスタ数分の平均ON抵抗を並列接続した値の2倍を第二の等価内部容量の直列抵抗とし、Nチャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と非動作Nチャンネルトランジスタ数の積の半分の値を第三の等価内部容量とするEMIシミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 2 1】 請求項 1 1 及び 1 6 において、前記半導体集積回路の全Pチャンネルトランジスタの個数と全Pチャンネルトランジスタの個数と最大動作率との積との差を非動作Pチャンネルトランジスタ数とし、該非動作Pチャンネルトランジスタ数分の平均ON抵抗を並列接続した値の2倍を第三の等価内部容量の直列抵抗とし、Pチャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と非動作Pチャンネルトランジスタ数の積の半分の値を第二の等価内部容量とし、半導体集積回路の全Nチャンネルトランジスタの個数と全Nチャンネルトランジスタの個数と最大動作率との積との差を非動作Nチャンネルトランジスタ数とし、該非動作Nチャンネルトランジスタ数分の平均ON抵抗を並列接続した値の2倍を第二の等価内部容量の直列抵抗とし、Nチャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と非動作Nチャンネルトランジスタ数の積の半分の値を第三の等価内部容量とするEMIシミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 2 2】 請求項 1 2 及び 1 7 において、前記半導体集積回路の全Pチャンネルトランジスタの個数と全Pチャンネルトランジスタの個数と電源電流比率との積との差を非動作Pチャンネルトランジスタ数とし、該非動作Pチャンネルトランジスタ数分の平均ON抵抗を並列接続した値の2倍を第三の等価内部容量の直列抵抗とし、Pチャンネルトランジスタの平均ゲート容量と出力と第一の電源間の平均配線容量の和と非動作Pチャンネルトランジスタ数の積の半分の値を第二の等価内部容量とし、半導体集積回路の全Nチャンネルトランジスタの個数と全Nチャンネルトランジスタの個数と電源電流比率との積との差を非動作Nチャンネルトランジスタ数とし、該非動作Nチャンネルトランジスタ数分の平均ON抵抗を並列接続した値の2倍を第二の等価内部容量の直列抵抗とし、Nチャンネルトランジスタの平均ゲート容量と出力と第二の電源間の平均配線容量の和と非動作Nチャンネルト

ランジスタ数の積の半分の値を第三の等価内部容量とする EMI シミュレーション用半導体集積回路の電源モデルの設計方法。

【請求項 2 3】 請求項 7 から 2 2 までの設計方法を適用した EMI シミュレーション用半導体集積回路の電源モデルを設計する設計支援システム。

【請求項 2 4】 請求項 1 から 6 までの EMI シミュレーション用半導体集積回路の電源モデルを適用した EMI シミュレーション装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は EMI シミュレーション用半導体集積回路の電源モデル及びその設計方法に関し、特にトランジスタ記述された L S I (Large Scale Integration) 電源モデル及びその設計方法に関する。

【0 0 0 2】

【従来の技術】

この種の従来技術の一例が「変わるボード設計、1 0 0 M H z 時代の到来で事前検証が必須に」(日経エレクトロニクス) 1 9 9 8、4 - 6 発行年月日: 1 9 9 8 年 4 月 6 日: p 1 4 3、1 1 1、図 9 (以下、文献 1 という) 及び "Models of Integrated Circuits for EMI Behavioral Simulation", IEC TC93 New Work Item Proposal, 1 9 9 7. 5. 1 5 発行年月日: 1 9 9 5 年 5 月 1 5 日: p 4、Fig. (3) (以下、文献 2 という) に開示されている。その他、特開平 1 0 - 5 4 8 6 5 号公報 (以下、文献 3 という) 及び特開平 1 1 - 1 2 0 2 1 4 号公報 (以下、文献 4 という) にも同種の技術が開示されている。

【0 0 0 3】

電子機器から発生する電磁波放射ノイズを抑制するには、設計段階で対策を行うのが効果的であり、かつ経済的である。そのため、多くの設計者が設計に EMI (Electro-Magnetic Interference) シミュレータを取り入れ、対策を行っている。

【 0 0 0 4 】

【 発明が解決しようとする課題 】

しかし、シミュレーション結果と実測値とは必ずしも一致しないのが現実である。原因の一つとして、多くのシミュレータでは電源系の解析を行っていないことが挙げられる。例として、現在 EMI シミュレータで使われているデバイスモデルの代表として、IBIS モデルがある。IBIS とは I/O Buffer Information Specification の略で、その名の通り入力バッファ、出力バッファをモデル化したものである。SPICE（回路シミュレータ）をベースとした EMI シミュレータでは、こういった回路素子のモデルを組み込んで電流を求めて、その電流から放射電磁界を算出する。

【 0 0 0 5 】

このことからわかるように、現存する LSI の EMI シミュレーションモデルは、LSI の信号系の解析を主として考えられており、電源端子や GND 端子のようなその他の端子での解析方法は考えられていない。

【 0 0 0 6 】

しかし、実際には LSI の電源電流には I/O バッファのみではなく、信号端子と直接関係のない内部回路も全て接続されており、しかも多くの高周波成分を含んでいるため、電源電流による放射電磁界を無視することは出来ない。そのため、電子機器の EMI を解析するためには、プリント基板の電源電流を解析し、電源電流により発生する放射電磁界を解析することが不可欠になってくる。

【 0 0 0 7 】

ここで、問題が生じる。プリント基板上の EMI の解析を行う際には、プリント基板配線の伝送線路モデルの他に、プリント基板に実装される LSI のモデルが必要である。この LSI のモデルの形式としては、トランジスタ記述形式と動作レベル記述形式がある。トランジスタ記述形式とは LSI 内部の回路構成を、トランジスタモデル及び配線の抵抗、容量のモデルで正確に記述したものであり、一般に LSI 設計に用いられている。また動作レベル記述形式は、トランジスタ記述形式を簡略化したもので、一般にプリント基板のノイズ検証に用いられている（先述の IBIS モデルもこの動作レベル記述形式である）。この二通りの

モデルで、電源からの放射電磁界を解析する場合を考える。

【 0 0 0 8 】

まずトランジスタ記述形式により電源電流を求める場合、L S I 内部の全回路を解析することが必要となってくるが、L S I 内部の回路規模は膨大である。図 5 にトランジスタ記述形式による解析の等価回路の概略図を示す。同図中 3 8 はトランジスタ記述形式の半導体集積回路の E M I シミュレーションモデル、3 9 は第 1 の電源端子、4 0 は第 2 の電源端子、4 1 はトランジスタのブロックを示している。例としては、比較的回路規模が小さいマスク R O M の内部を構成するトランジスタは約 5 0 0 0 個、回路規模が大きい M P U ともなるとトランジスタは 1 0 0 万個以上にもなる。

【 0 0 0 9 】

従来の信号端子のみの解析の場合、L S I の回路モデルは I / O バッファのみに省略することが可能であったが、電源端子には全ての回路が接続されているため、回路を省略することが出来ない。そのため、E M I シミュレータの計算量は信号系に比べて膨大となり、解析を行うことが困難、場合によっては不可能となる。さらに、ユーザーは L S I のモデルを L S I メーカーから受け取る必要があるが、トランジスタ記述形式モデルはトランジスタの構造や製法、又は L S I 内部の回路構成など L S I メーカーにとっては機密にあたる情報を多く含んでいる。そのため L S I メーカーは、他社のユーザーにトランジスタ記述モデルを提供することが出来ない。

【 0 0 1 0 】

また、動作レベル記述形式モデルを用いて解析する場合、現在次のようなモデルが提案されている。図 6 に、電流源とそれに並列に接続されたインピーダンスで構成される動作レベル記述形式モデルを示す。同図中、図 5 と同様の構成部分には同一番号を付し、その説明を省略する。4 2 は動作レベル記述形式の半導体集積回路の E M I シミュレーションモデル、4 3 は電流源、4 4 は回路のインピーダンス、4 5 は電流源の電流を示している。電流源からは L S I の電流波形が再現される。しかし、この方法には問題がある。

【 0 0 1 1 】

本来 L S I の内部インピーダンスは信号の入力状態、及び電源端子の電圧によって変化する。この抵抗の変化によって複雑な電流波形が流れることになる。電流源から流れる電流波形は、電源端子を流れる電流を実際の回路を測定するなりして求め、その電流波形を変換することによって求められる。その変換方法は、周波数領域での解析を行うときは、周波数が一定ならばインピーダンスも一定になるので、それほど困難ではない。

【 0 0 1 2 】

しかし時間領域での解析を行うとき、時刻が一定でもインピーダンスは一定ではないため変換方法が非常に複雑であり、時間領域に対する電流源の電流波形を求めることは非常に困難である。

【 0 0 1 3 】

また、実際に電流波形を測定しその結果より L S I の電流波形を求める場合、直流電源に回路のインピーダンスの効果を含んでしまうことになる。モデルには回路内のインピーダンスも存在するため、二重にインピーダンスの効果があることになり、正確な L S I の電流波形を求めることは出来ない。

【 0 0 1 4 】

本当に正確な回路の電源端子電流を求めたい場合、先述の図 5 のようなトランジスタ記述形式モデルによるシミュレーションを行えばよいが、その場合、やはり先述したような問題が生じてしまうため、現実的ではない。

【 0 0 1 5 】

以上の問題点を要約すると次のようになる。第 1 の問題点は、従来のトランジスタ記述形式の L S I モデルでは、電源系の E M I シミュレーションを行うことが不可能あるいは非常に困難なことである。その理由は、L S I 内部の回路規模が膨大であり、信号端子の解析のように回路を省略してのシミュレーションが困難であることである。

【 0 0 1 6 】

第 2 の問題点は、従来の動作レベル記述形式の L S I モデルでは、時間領域に於ける E M I シミュレーションが非常に困難なことである。その理由は、時間領域において回路内部のインピーダンスが一定でないため、動作レベル記述形式の

L S I モデルの電流源の電流波形を表すことが非常に困難であるためである。

【 0 0 1 7 】

第 3 の問題点は、従来の E M I シミュレーションでは、正確な状態での解析が行えていなかったということである。その理由は、L S I が実際に動作しているとき、動作しているのはそのうちの一部だけで、解析にはその動作している部分だけを考慮して行っていたからである。

【 0 0 1 8 】

そこで本発明の目的は、従来困難であったプリント基板電源系からの E M I シミュレーションを容易に、かつ正確に行うための E M I シミュレーション用半導体集積回路の電源モデル及びその設計方法を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

前記課題を解決するために本発明は、プリント回路基板および半導体集積回路を対象とした E M I シミュレーション用半導体集積回路の電源モデルであって、前記電源モデルは電源が供給されるインバータ部と、このインバータ部の出力と前記電源間に接続された等価内部容量部とを含むことを特徴とする。

【 0 0 2 0 】

又、本発明による他の発明は、プリント回路基板および半導体集積回路を対象とした E M I シミュレーション用半導体集積回路の電源モデルの設計方法であって、前記電源モデルは前記 E M I シミュレーション対象の半導体集積回路の全回路接続情報に基づき設計されることを特徴とする。

【 0 0 2 1 】

本発明及び本発明による他の発明の E M I シミュレーションモデルは、トランジスタ記述形式で表現されており、プリント基板上で発生する放射電磁界をシミュレーションするためのものである。このトランジスタ記述形式 L S I 電源モデルは、構成しているトランジスタの数が実際のものよりも大幅に少なくなっている。E M I シミュレーターはこのモデルを使用して、プリント基板配線上を流れる電源電流を求める。このモデルは実際の L S I のネットリストから、動作している部分を抽出し、前述したようにトランジスタの数を少なくして作成する。ま

た、残りの動作していない部分も簡略化し、全体で L S I 電源モデルを作成する。

【 0 0 2 2 】

L S I 電源系を、インバータ回路と等価容量でモデル化することにより、従来のトランジスタ記述形式モデルと比較して、E M I シミュレーターの計算負荷が小さくなり、電源電流解析をより容易に行うことが出来る。また、動作していない部分を E M I シミュレーション上で考慮することにより、より実際の L S I の動作に近い挙動をするため、より正確な L S I の電源電流を求めることが出来る。また、L S I 内部の回路構成やデバイス構造に関する詳細な情報をモデル内部に含まないため、L S I メーカーからユーザーに提示することが出来る。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の実施の形態について添付図面を参照しながら説明する。

【 0 0 2 4 】

図 1 に、請求項 2 に基づいたシミュレーションモデルを示す（第 1 の実施の形態）。同図を参照するとシミュレーションモデルは、動作信号源（クロック信号源）1 と、インバータ回路 2 と、P チャネルトランジスタ 3 と、N チャネルトランジスタ 4 と、第一の負荷容量 5 と、第二の負荷容量 6 と、第一の電源 7 と、第二の電源 8 と、第一の等価内部容量 9 と、第二の等価内部容量 1 0 と、第三の等価内部容量 1 1 と、第二の等価内部容量（容量部分）1 2 と、第二の等価内部容量の直列抵抗 1 3 と、第三の等価内部容量の直列抵抗 1 4 と、第三の等価内部容量（容量部分）1 5 と、第一の等価内部容量の直列抵抗 1 6 と、第一の等価内部容量（容量部分）1 7 と、請求項 2 に基づく半導体集積回路の E M I シミュレーションモデル 1 8 とを含んで構成される。

【 0 0 2 5 】

第一の電源 7 と出力端子 7 1 間に接続された P チャネルトランジスタ 3 と配線容量、さらに第二の電源 8 と出力端子 7 1 間に接続された N チャネルトランジスタ 4 と配線容量を組み合わせるゲート回路と呼ぶ。1 は一定周波数の信号を送り続ける信号源であり、その信号で動作している部分を 2 に示した 1 個のゲート回

路で置き換え、動作していない部分を 1 0 と 1 1 の第二、第三の等価内部容量で表している。また 9 の第一の等価内部容量は、L S I の設計段階で決定している、内部の動作状態とは関係ない一定の値である。

【 0 0 2 6 】

図 2 に、請求項 3 に基づいたシミュレーションモデルを示す（第 2 の実施の形態）。図 1 と異なるのはゲート回路を 2 段にしたことだけである。即ち、図 1 の P チャネルトランジスタ 3 と、N チャネルトランジスタ 4 と、第一の負荷容量 5 と、第二の負荷容量 6 とに代えて、P チャネルトランジスタ 2 0 及び 2 5 と、N チャネルトランジスタ 2 1 及び 2 6 と、第一の負荷容量 2 2 及び 2 7 と、第二の負荷容量 2 3 及び 2 8 とを含んでいる。

【 0 0 2 7 】

図 1 と図 2 では時間的に平均電流が等しくなるような設計であるため、ゲート回路内のトランジスタのゲート幅とゲート容量、配線容量はそれぞれ半分になり、トランジスタの ON 抵抗はそれぞれ倍になっている。

【 0 0 2 8 】

図 3 は、請求項 4 に基づく複数の電源系がある場合のシミュレーションモデルである（第 3 の実施の形態）。3 3、3 4 と 3 5、3 6 のような複数の電源系が存在する場合、3 1、3 2 のように電源系の異なる部分毎に図 1 もしくは図 2 のようなモデルで置き換えた構成になっている。

【 0 0 2 9 】

図 4 は、請求項 5 及び 6 に基づく L S I 内部を複数のブロックに分割した場合のシミュレーションモデルである（第 4 の実施の形態）。配置情報又は動作のタイミングで分割したブロック毎に図 1 もしくは図 2 のようなモデルで置き換えた構成になっている。即ち、半導体集積回路の内部を、一定の信号伝搬遅延時間以内のゲート回路を同一タイミンググループとして、複数のグループに分割し、その各グループ毎にインバータ回路と負荷容量を有する。なお、図 4 の 3 7 はブロックに分割された半導体集積回路の E M I シミュレーションモデルを示す。

【 0 0 3 0 】

次に、この電源モデルの設計方法について説明する。図 7 から図 2 1 までは、

それぞれ請求項 8 から請求項 2 2 に対応した、請求項 2 及び 3 のモデルの設計法である。

【0 0 3 1】

図 7 及び図 1 2 は、L S I の全回路情報から、動作周波数もしくはクロック周波数で動作しているゲート回路を全て抽出し（図 7 の S 1 及び図 1 2 の S 2 6）、その情報より動作している部分を 1 つ（図 7）又は 2 つ（図 1 2）のゲート回路で構成する方法である（図 7 の S 2 ～ S 4 及び図 1 2 の S 2 7 ～ S 2 9）。請求項 3 のモデルが請求項 2 のモデルに比べてトランジスタのゲート幅、負荷容量がそれぞれ半分になることがわかる。この方法をパターン 1 とする。

【0 0 3 2】

図 8 及び図 1 3 は、L S I の全回路情報から、動作周波数もしくはクロック周波数で動作しているゲート回路の数を計数し（図 8 の S 5 及び図 1 3 の S 3 0）、さらにトランジスタのゲート幅、ゲート容量、配線容量の平均値の情報と併せて、動作している部分を 1 つ（図 8）又は 2 つ（図 1 3）のゲート回路で構成する方法である（図 8 の S 6 ～ S 8 及び図 1 3 の S 3 1 ～ S 3 3）。この場合も請求項 3 のモデルが請求項 2 のモデルに比べてトランジスタのゲート幅、負荷容量がそれぞれ半分になることがわかる。この方法をパターン 2 とする。

【0 0 3 3】

図 9 及び図 1 4 は、L S I の全回路情報から、全ゲート回路の数を計数し（図 9 の S 9 及び図 1 4 の S 3 4）、さらにトランジスタのゲート幅、ゲート容量、配線容量の平均値の情報、平均動作率の情報を併せて、動作している部分を 1 つ（図 9）又は 2 つ（図 1 4）のゲート回路で構成する方法である（図 9 の S 1 0 ～ S 1 3 及び図 1 4 の S 3 5 ～ S 3 8）。この場合も請求項 3 のモデルが請求項 2 のモデルに比べてトランジスタのゲート幅、負荷容量がそれぞれ半分になることがわかる。この方法をパターン 3 とする。

【0 0 3 4】

図 1 0 及び図 1 5 は、L S I の全回路情報から、全ゲート回路の数を計数し（図 1 0 の S 1 4 及び図 1 5 の S 3 9）、さらにトランジスタのゲート幅、ゲート容量、配線容量の平均値の情報、最大動作率の情報を併せて、動作している部分

を 1 つ (図 1 0) 又は 2 つ (図 1 5) のゲート回路で構成する方法である (図 9 の S 1 5 ~ S 1 8 及び図 1 5 の S 4 0 ~ S 4 3)。この場合も請求項 3 のモデルが請求項 2 のモデルに比べてトランジスタのゲート幅、負荷容量がそれぞれ半分になることがわかる。この方法をパターン 4 とする。

【 0 0 3 5 】

図 1 1 及び図 1 6 は、L S I の全回路情報から、全ゲート回路の数を計数し (図 1 1 の S 1 9 及び図 1 6 の S 4 4)、さらに回路全体の平均電流の情報、さらにトランジスタのゲート幅、ゲート容量、配線容量の平均値の情報、回路全体の平均電流の情報、さらにはその平均値のトランジスタと配線容量を用いて構成した基本回路の平均電流を導出した結果と併せて、動作している部分を 1 つ (図 1 1) 又は 2 つ (図 1 6) のゲート回路で構成する方法である (図 1 1 の S 2 0 ~ S 2 5 及び図 1 6 の S 4 5 ~ S 5 0)。この場合も請求項 3 のモデルが請求項 2 のモデルに比べてトランジスタのゲート幅、負荷容量がそれぞれ半分になることがわかる。この方法をパターン 5 とする。

【 0 0 3 6 】

図 1 7 は、パターン 1 で動作している部分を求めたその残りの部分を第二、第三の等価内部容量に置き換える方法である (図 1 7 の S 5 1 ~ S 5 4)。パターン 1 を用いて動作している部分を構成した場合、残りの部分はこの方法で求めることになるため、今後は残りの部分を等価内部容量に置き換える方法までを含めてパターン 1 とする。

【 0 0 3 7 】

図 1 8 は、パターン 2 で動作している部分を求めたその残りの部分を第二、第三の等価内部容量に置き換える方法である (図 1 8 の S 5 5 ~ S 5 8)。情報としてはパターン 2 で使用した他にトランジスタの ON 抵抗の平均値が必要になる。パターン 2 を用いて動作している部分を構成した場合、残りの部分はこの方法で求めることになるため、今後は残りの部分を等価内部容量に置き換える方法までを含めてパターン 2 とする。

【 0 0 3 8 】

図 1 9 は、パターン 3 で動作している部分を求めたその残りの部分を第二、第

三の等価内部容量に置き換える方法である（図 1 8 の S 5 9 ~ S 6 4）。情報としてはパターン 3 で使用した他にトランジスタの ON 抵抗の平均値が必要になる。パターン 3 を用いて動作している部分を構成した場合、残りの部分はこの方法で求めることになるため、今後は残りの部分を等価内部容量に置き換える方法までを含めてパターン 3 とする。

【 0 0 3 9 】

図 2 0 は、パターン 4 で動作している部分を求めたその残りの部分を第二、第三の等価内部容量に置き換える方法である（図 2 0 の S 6 5 ~ S 7 0）。情報としてはパターン 4 で使用した他にトランジスタの ON 抵抗の平均値が必要になる。パターン 4 を用いて動作している部分を構成した場合、残りの部分はこの方法で求めることになるため、今後は残りの部分を等価内部容量に置き換える方法までを含めてパターン 4 とする。

【 0 0 4 0 】

図 2 1 は、パターン 5 で動作している部分を求めたその残りの部分を第二、第三の等価内部容量に置き換える方法である（図 2 1 の S 7 1 ~ S 7 7）。情報としてはパターン 5 で使用した他にトランジスタの ON 抵抗の平均値が必要になる。パターン 5 を用いて動作している部分を構成した場合、残りの部分はこの方法で求めることになるため、今後は残りの部分を等価内部容量に置き換える方法までを含めてパターン 5 とする。

【 0 0 4 1 】

さらにパターン 1 からパターン 5 までの設計法を適用した EMI シミュレーション用半導体集積回路の電源モデルを設計する支援システムを提案する（請求項 2 3）。また、請求項 2 から請求項 6 までのモデルを使用して、EMI シミュレーションを行う装置を提案する（請求項 2 4）。

【 0 0 4 2 】

次に、発明の他の実施の形態について説明する。図 2 2、2 3 は、実際に設計した EMI シミュレーション用半導体集積回路の電源モデルを用いたシミュレーションの例である。

【 0 0 4 3 】

図 2 2 は、プリント基板（以下 P C B）のシミュレーションの例である（第 5 の実施の形態）。L S I の電源には 4 7、5 0 のようなリードフレーム、5 3、5 4 のような伝送線路、さらには 5 5 のような E M I の抑制のためのデカップリングコンデンサが接続された形になり、現実の P C B に近い E M I シミュレーションも行うことが出来る。なお、4 6 は半導体集積回路の E M I シミュレーションモデル、4 8 は第一の電源側のリードフレームのインダクタンス、4 9 は第一の電源側のリードフレームの抵抗、5 1 は第二の電源側のリードフレームのインダクタンス、5 2 は第二の電源側のリードフレームの抵抗、5 6 はデカップリングコンデンサの等価直列インダクタンス、5 7 はデカップリングコンデンサの等価容量、5 8 はデカップリングコンデンサの等価直列抵抗を示す。

【 0 0 4 4 】

図 2 3 は、L S I 内部に 6 1 のような容量を入れた時のシミュレーションの例である。この容量は、L S I の隙間などを利用して作成され、E M I の抑制効果がある。このような L S I の構成も、提案したモデルを用いて行うことが可能である。なお、3 0 は半導体集積回路（L S I）、5 9 は L S I 内に負荷した容量、6 0 は L S I 内に負荷した容量の等価直列インダクタンス、6 2 は L S I 内に負荷した容量の等価直列抵抗を示す。

【 0 0 4 5 】

【発明の効果】

本発明によれば、プリント回路基板および半導体集積回路を対象とした E M I シミュレーション用半導体集積回路の電源モデルであって、前記電源モデルは電源が供給されるインバータ部と、このインバータ部の出力と前記電源間に接続された等価内部容量部とを含むため、従来困難であったプリント基板電源系からの E M I シミュレーションを容易に、かつ正確に行うことが可能となる。

【 0 0 4 6 】

又、本発明による他の発明によれば、プリント回路基板および半導体集積回路を対象とした E M I シミュレーション用半導体集積回路の電源モデルの設計方法であって、前記電源モデルは前記 E M I シミュレーション対象の半導体集積回路の全回路接続情報に基づき設計されるため、従来困難であったプリント基板電源

系からの E M I シミュレーションを容易に、かつ正確に行うことが可能となる。

【図面の簡単な説明】

【図 1】

本発明の半導体集積回路の E M I シミュレーションモデル 1 の回路図である。

【図 2】

本発明の半導体集積回路の E M I シミュレーションモデル 2 の回路図である。

【図 3】

電源系が複数あるときの半導体集積回路の E M I シミュレーションモデルの構成図である。

【図 4】

内部を複数のブロックに分割したときの半導体集積回路の E M I シミュレーションモデルの構成図である。

【図 5】

従来のトランジスタ記述形式の半導体集積回路の E M I シミュレーションモデルの構成図である。

【図 6】

従来の動作レベル記述形式の半導体集積回路の E M I シミュレーションモデルの回路図である。

【図 7】

半導体集積回路の E M I シミュレーションモデル 1 のゲート回路部分の設計方法 1 を示すフローチャートである。

【図 8】

半導体集積回路の E M I シミュレーションモデル 1 のゲート回路部分の設計方法 2 を示すフローチャートである。

【図 9】

半導体集積回路の E M I シミュレーションモデル 1 のゲート回路部分の設計方法 3 を示すフローチャートである。

【図 1 0】

半導体集積回路の E M I シミュレーションモデル 1 のゲート回路部分の設計方

法 4 を示すフローチャートである。

【図 1 1】

半導体集積回路の E M I シミュレーションモデル 1 のゲート回路部分の設計方法 5 を示すフローチャートである。

【図 1 2】

半導体集積回路の E M I シミュレーションモデル 2 のゲート回路部分の設計方法 1 を示すフローチャートである。

【図 1 3】

半導体集積回路の E M I シミュレーションモデル 2 のゲート回路部分の設計方法 2 を示すフローチャートである。

【図 1 4】

半導体集積回路の E M I シミュレーションモデル 2 のゲート回路部分の設計方法 3 を示すフローチャートである。

【図 1 5】

半導体集積回路の E M I シミュレーションモデル 2 のゲート回路部分の設計方法 4 を示すフローチャートである。

【図 1 6】

半導体集積回路の E M I シミュレーションモデル 2 のゲート回路部分の設計方法 5 を示すフローチャートである。

【図 1 7】

半導体集積回路の E M I シミュレーションモデル 1 及び 2 の第二及び第三の等価内部容量の設計方法 1 を示すフローチャートである。

【図 1 8】

半導体集積回路の E M I シミュレーションモデル 1 及び 2 の第二及び第三の等価内部容量の設計方法 2 を示すフローチャートである。

【図 1 9】

半導体集積回路の E M I シミュレーションモデル 1 及び 2 の第二及び第三の等価内部容量の設計方法 3 を示すフローチャートである。

【図 2 0】

半導体集積回路の E M I シミュレーションモデル 1 及び 2 の第二及び第三の等価内部容量の設計方法 4 を示すフローチャートである。

【図 2 1】

半導体集積回路の E M I シミュレーションモデル 1 及び 2 の第二及び第三の等価内部容量の設計方法 5 を示すフローチャートである。

【図 2 2】

プリント基板のシミュレーションの一例の回路図である。

【図 2 3】

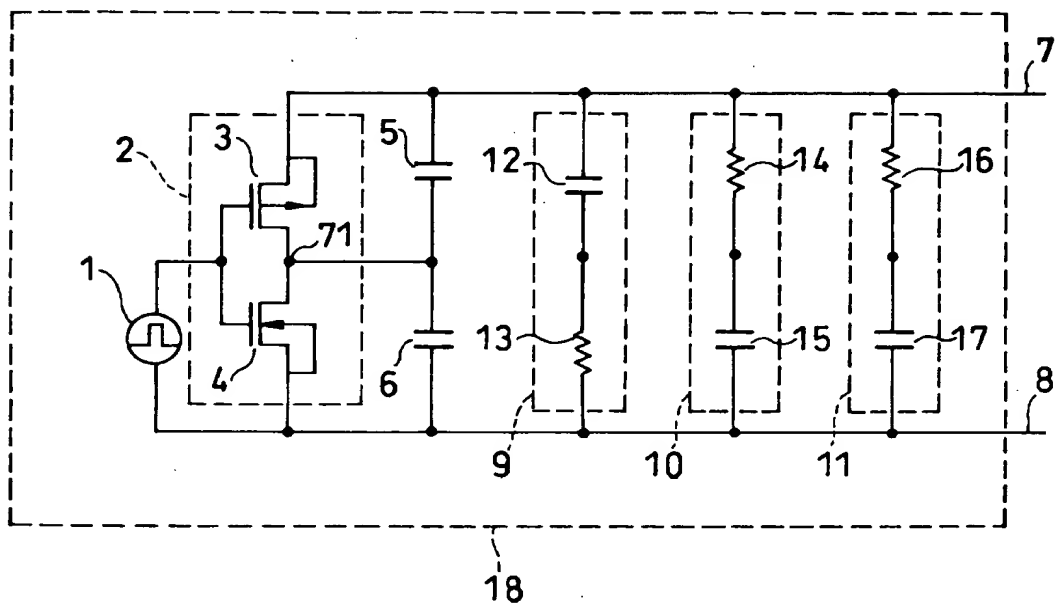
L S I 内部に容量を入れた時のシミュレーションの一例の回路図である。

【符号の説明】

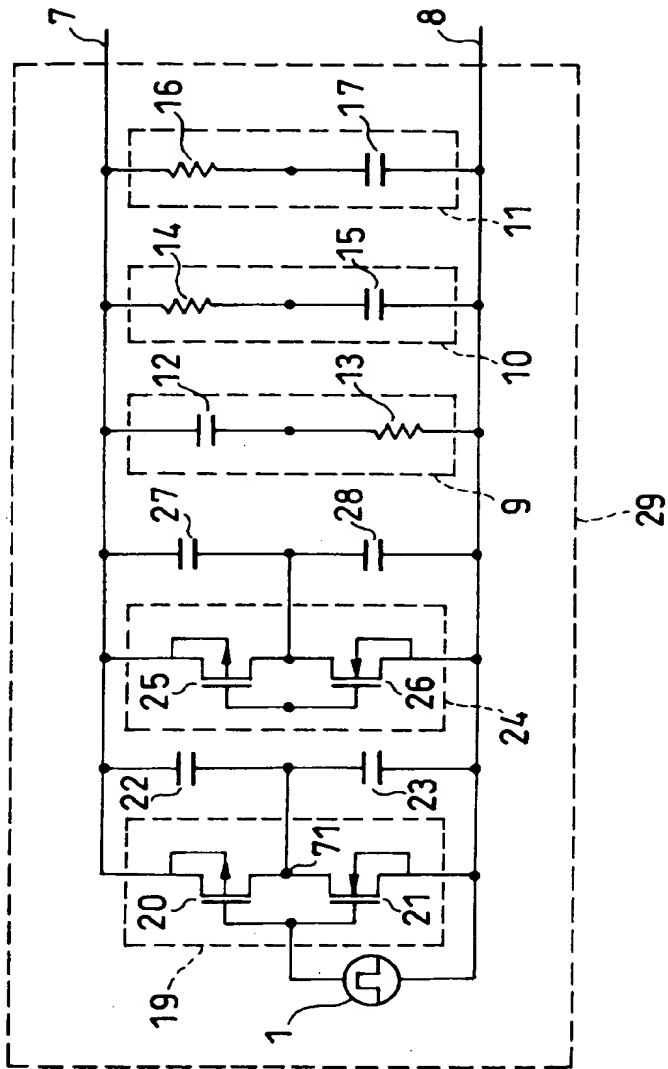
- 1 動作信号源
- 2 インバータ回路
- 3, 2 0, 2 5 Pチャネルトランジスタ
- 4, 2 1, 2 6 Nチャネルトランジスタ
- 5, 6 負荷容量
- 2 2, 2 3 負荷容量
- 2 7, 2 8 負荷容量
- 7, 8 電源
- 9, 1 0, 1 1 等価内部容量

【書類名】 図面

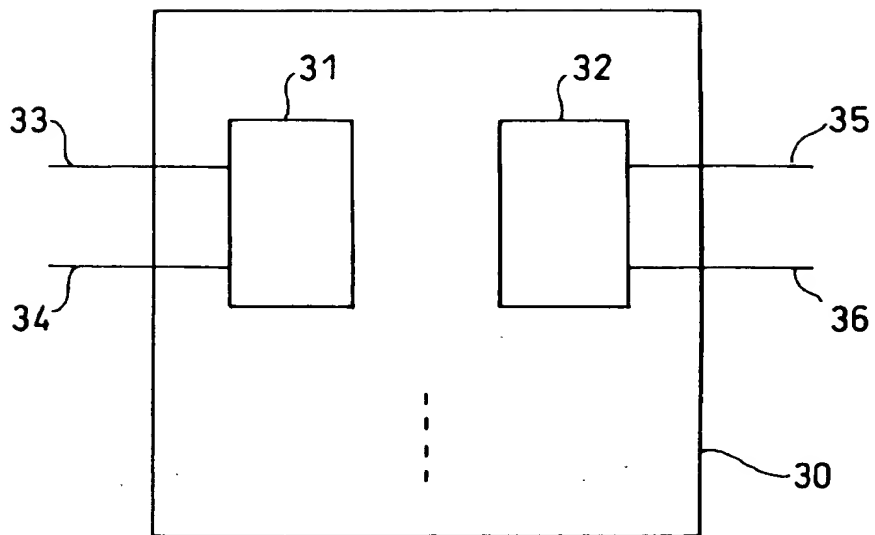
【図 1】



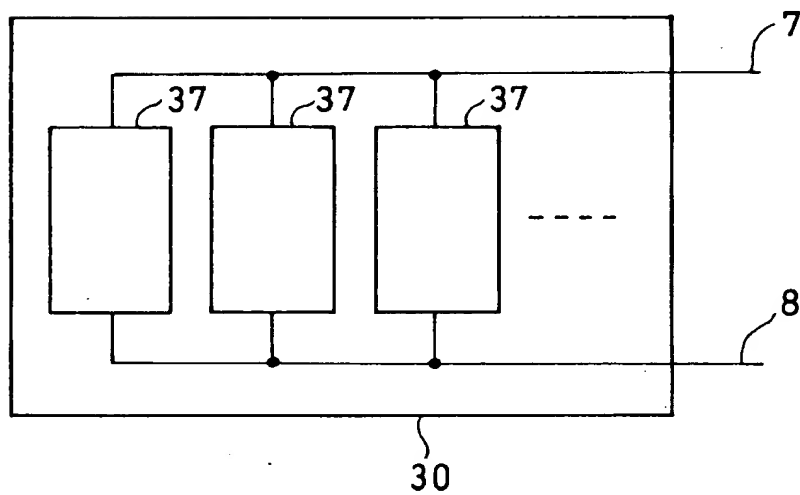
【図 2】



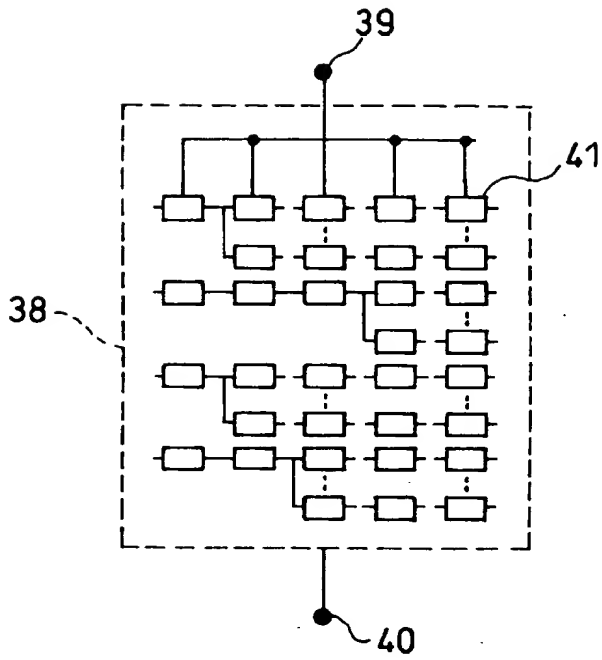
【図 3】



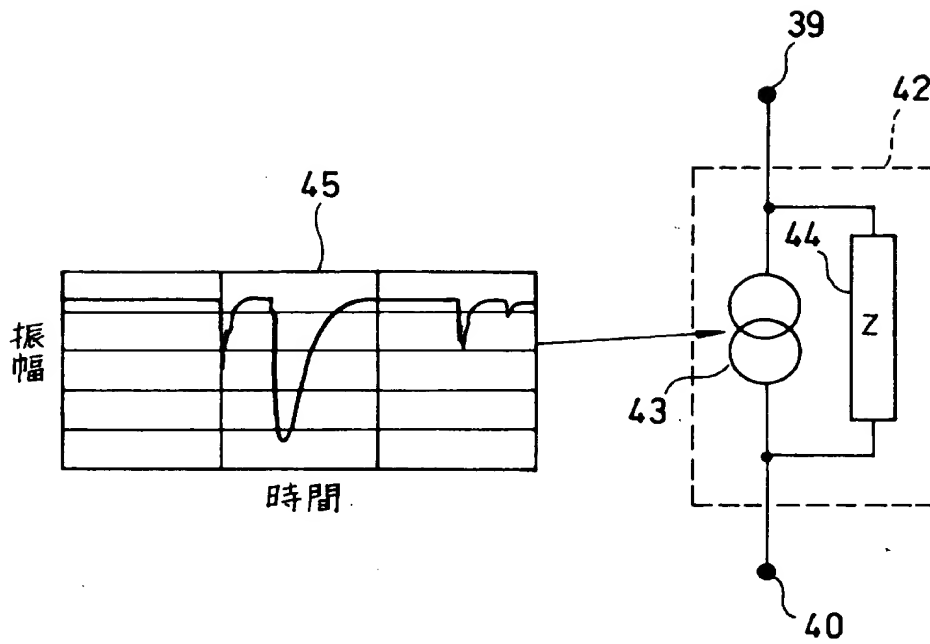
【図 4】



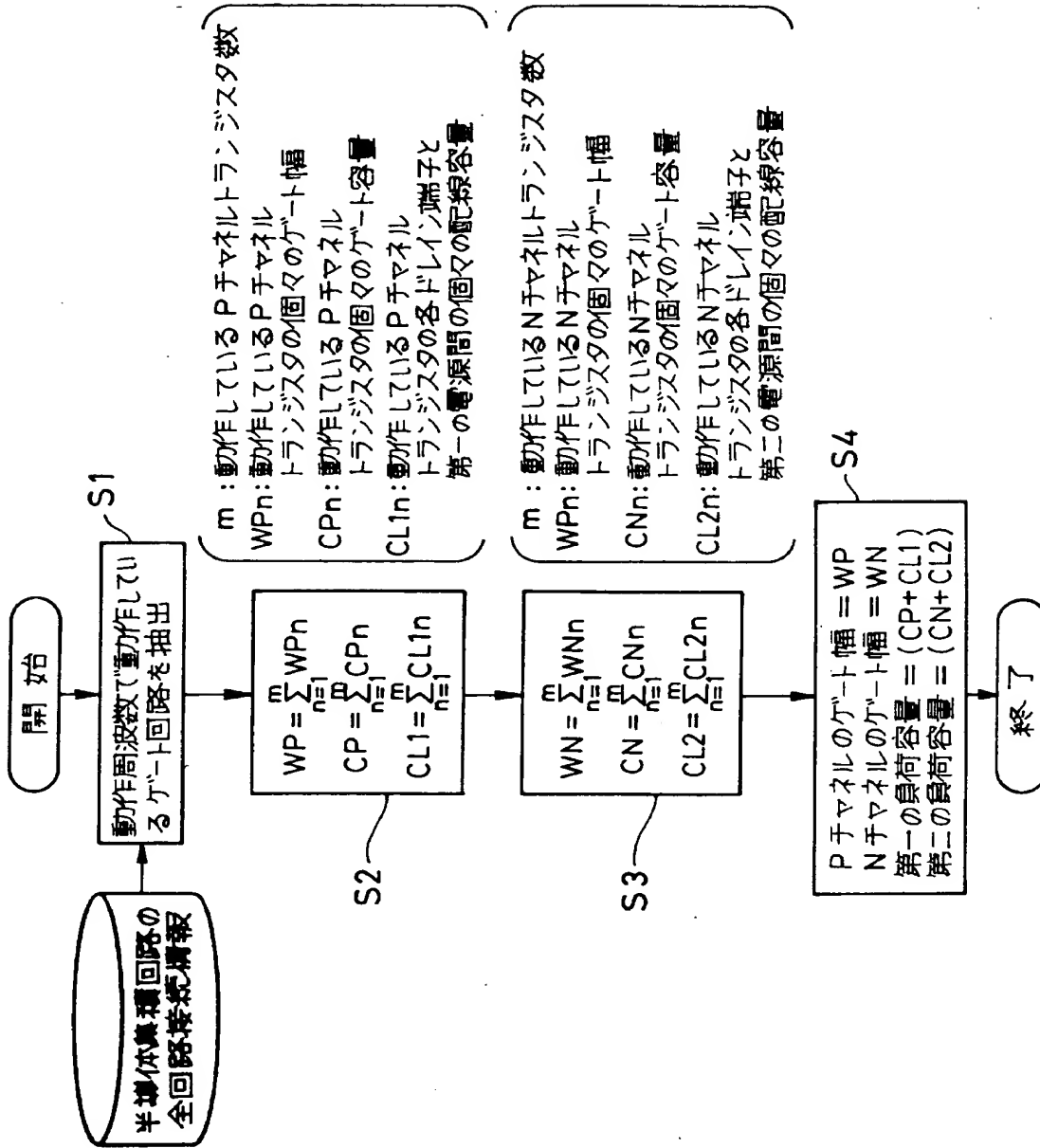
【図 5】



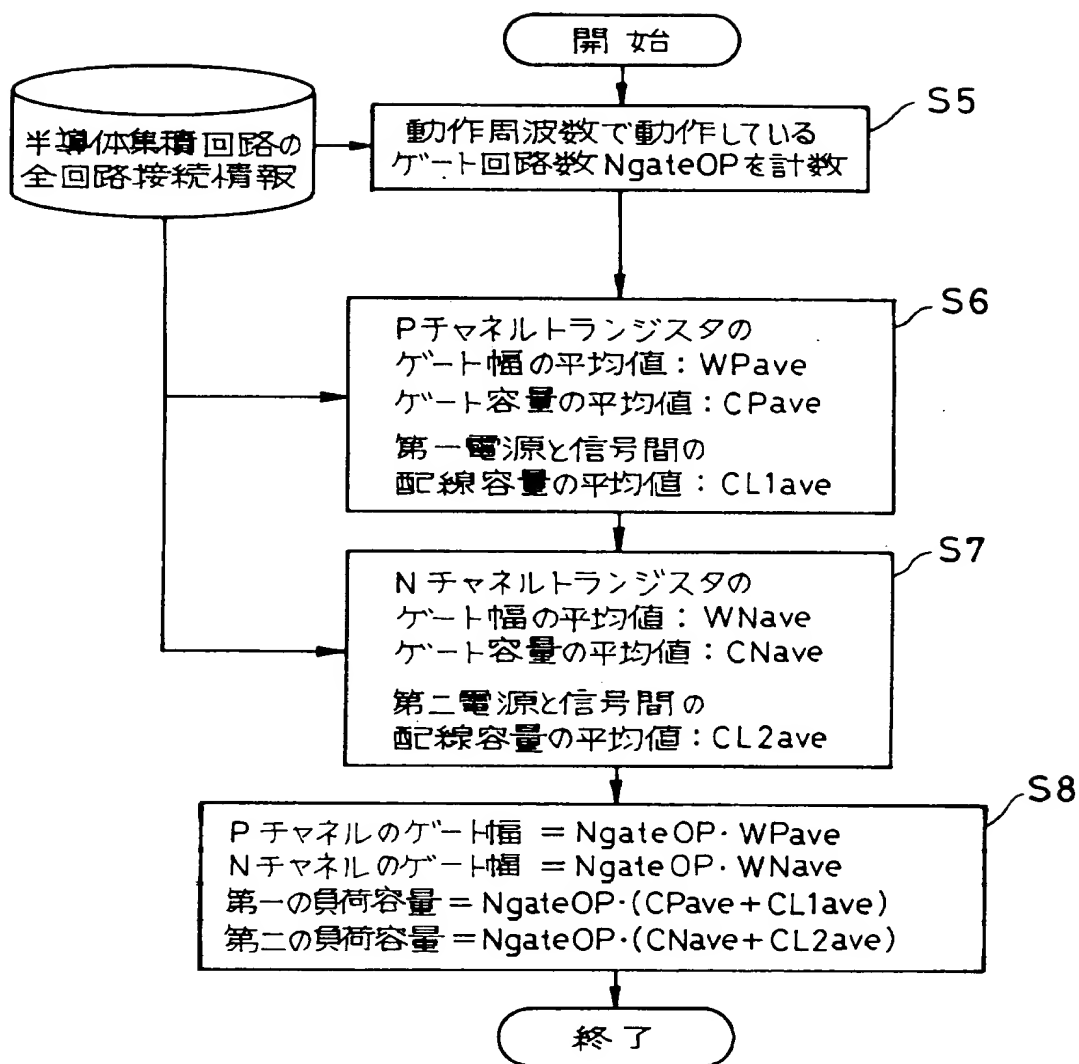
【図 6】



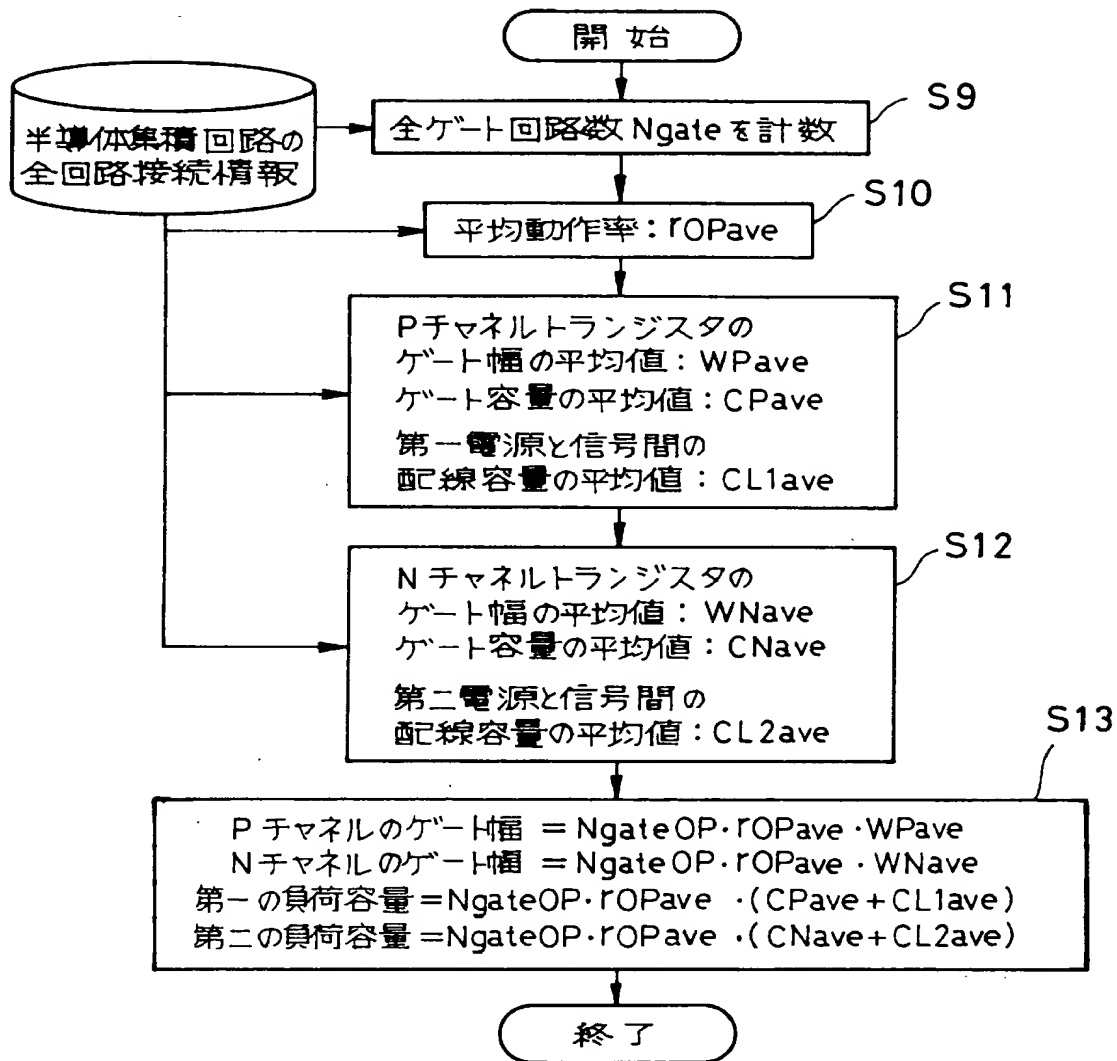
【図 7】



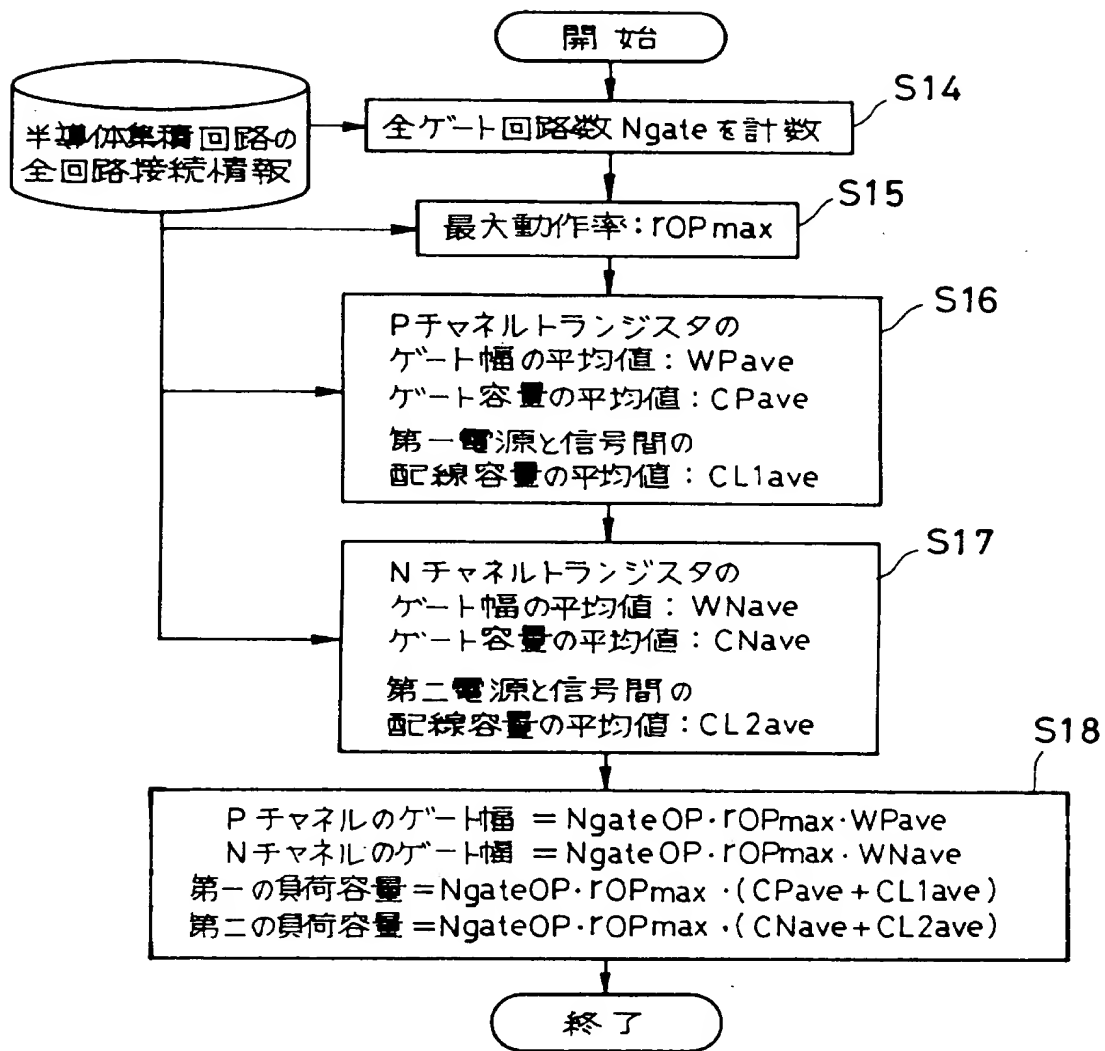
【図 8】



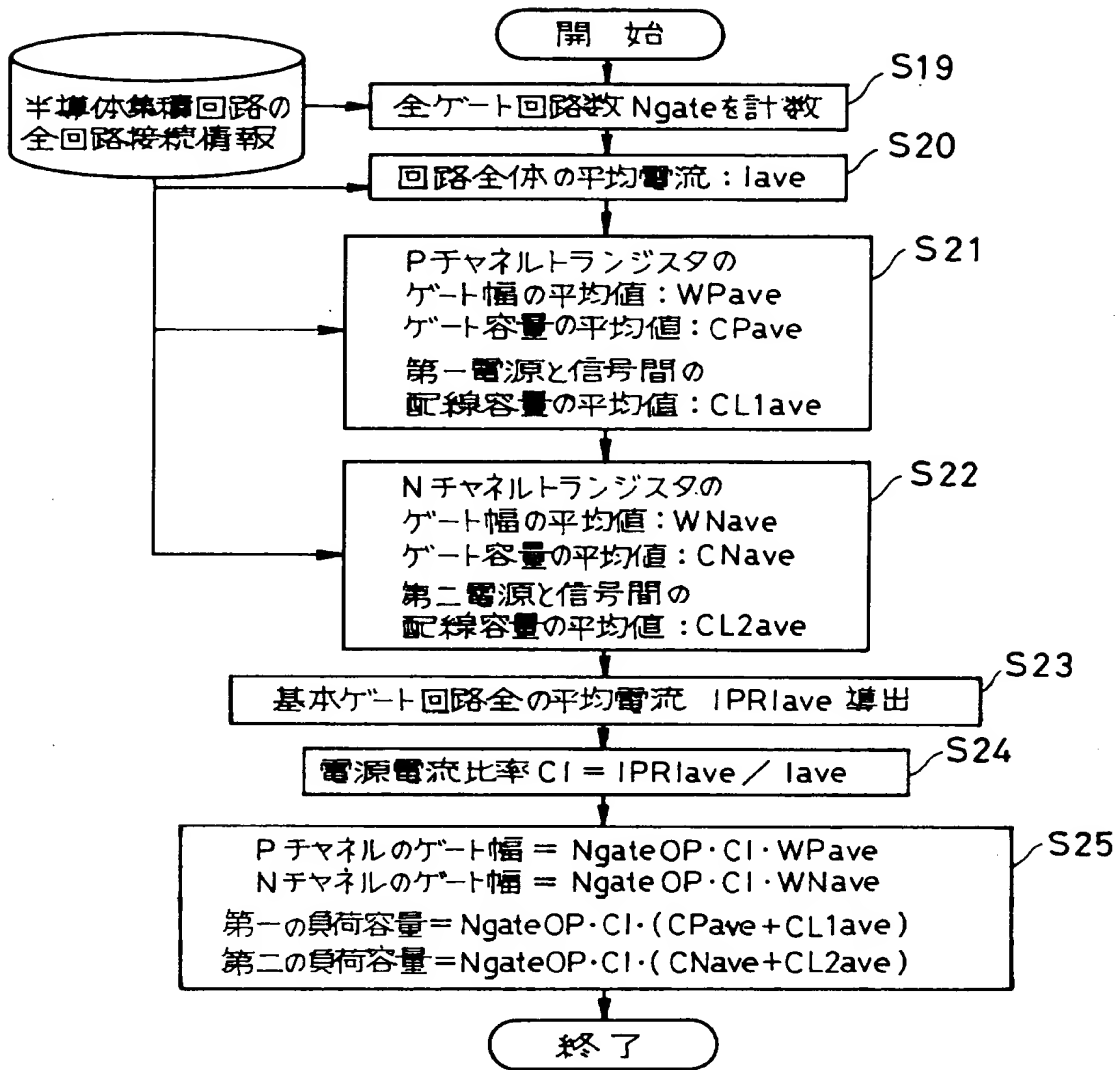
【図 9】



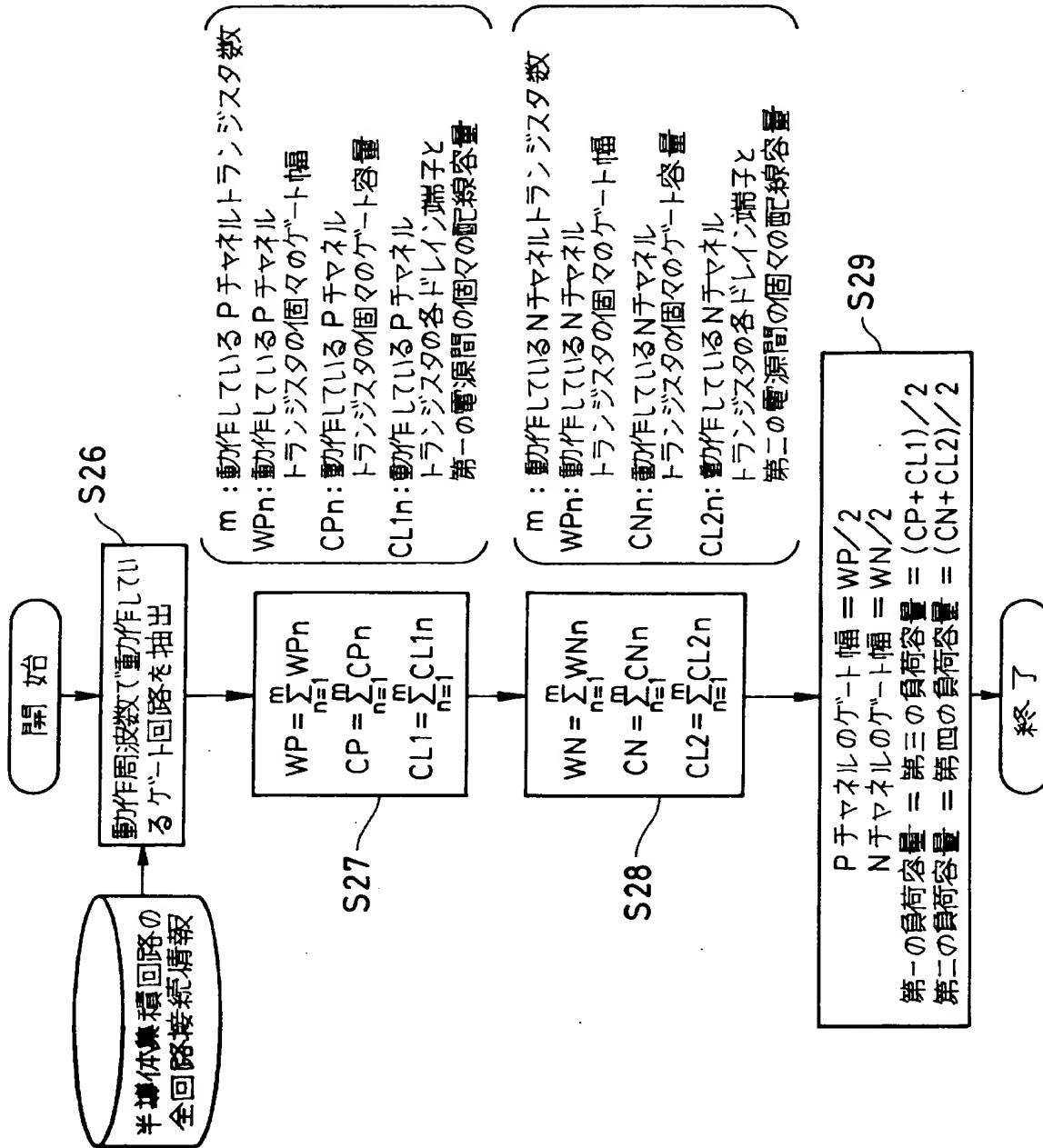
【図 1 0】



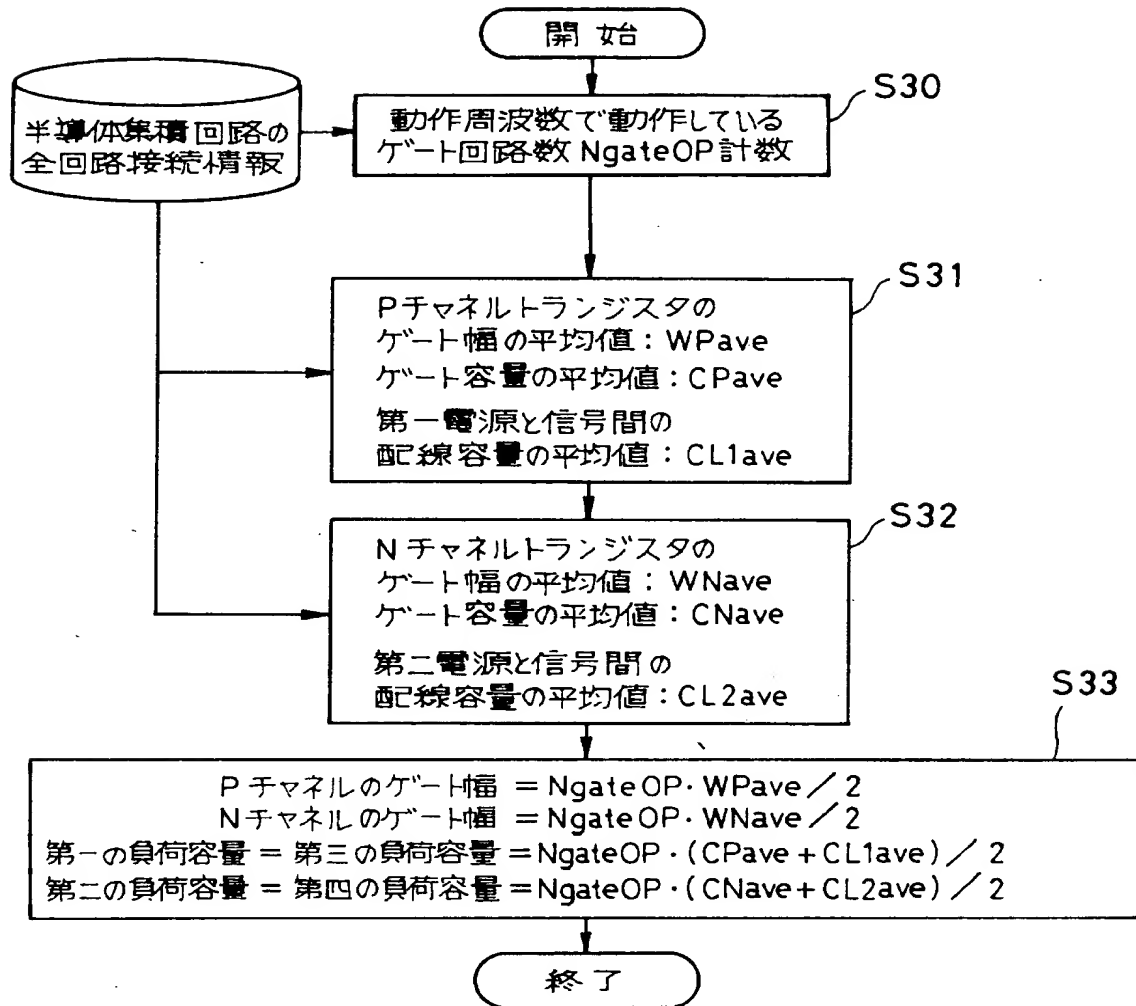
【図 1 1】



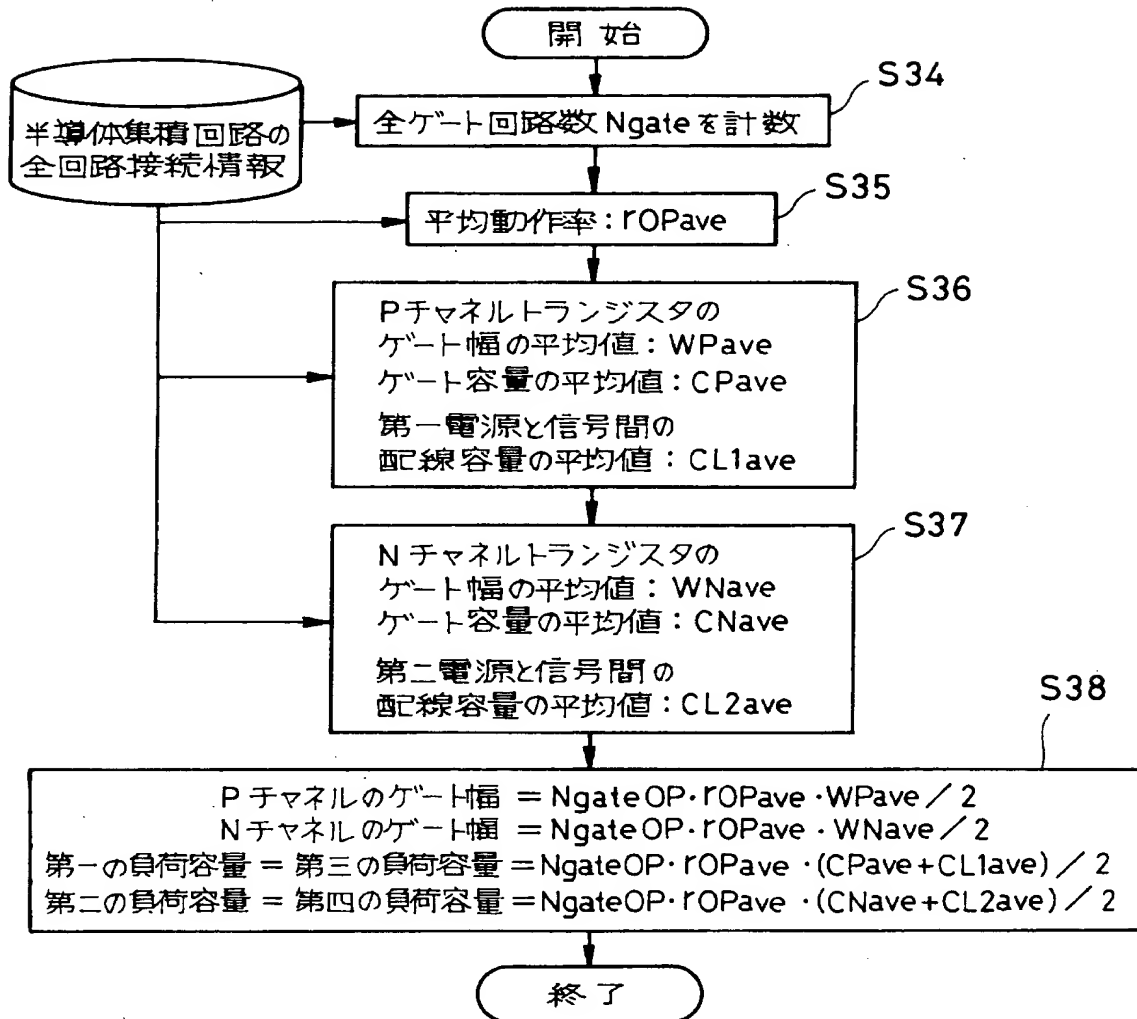
【図 1 2】



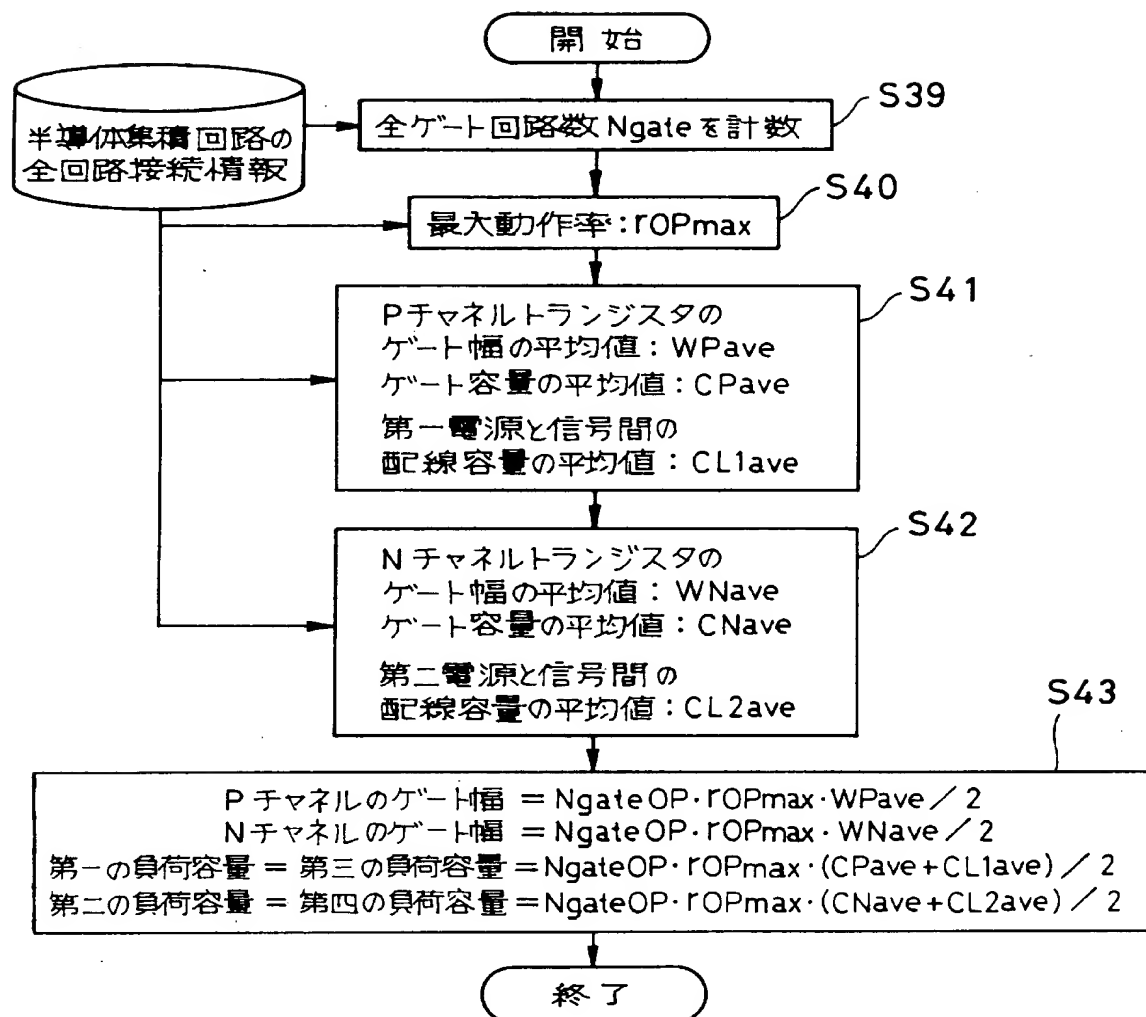
【図 1 3】



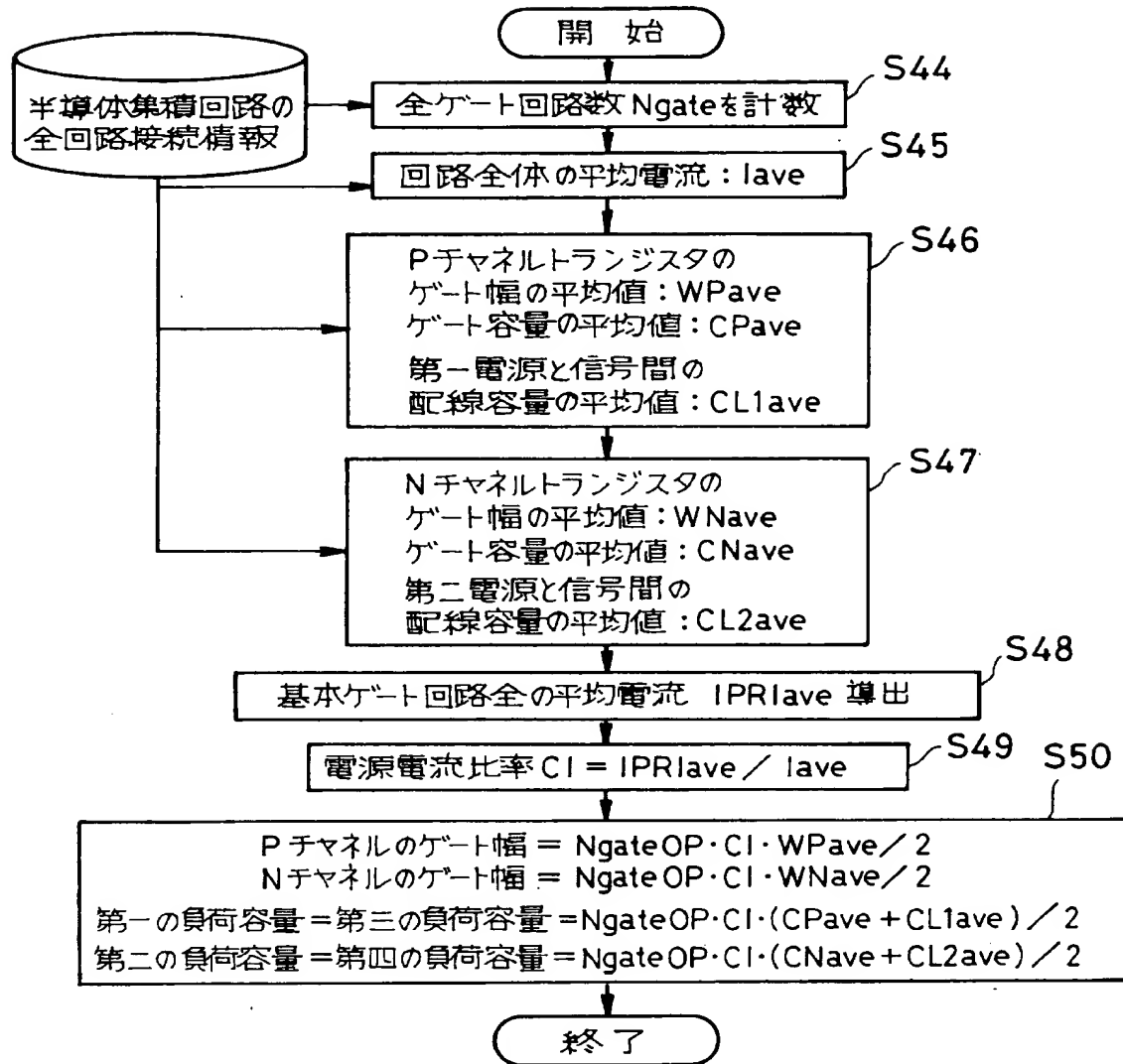
【図 1 4】



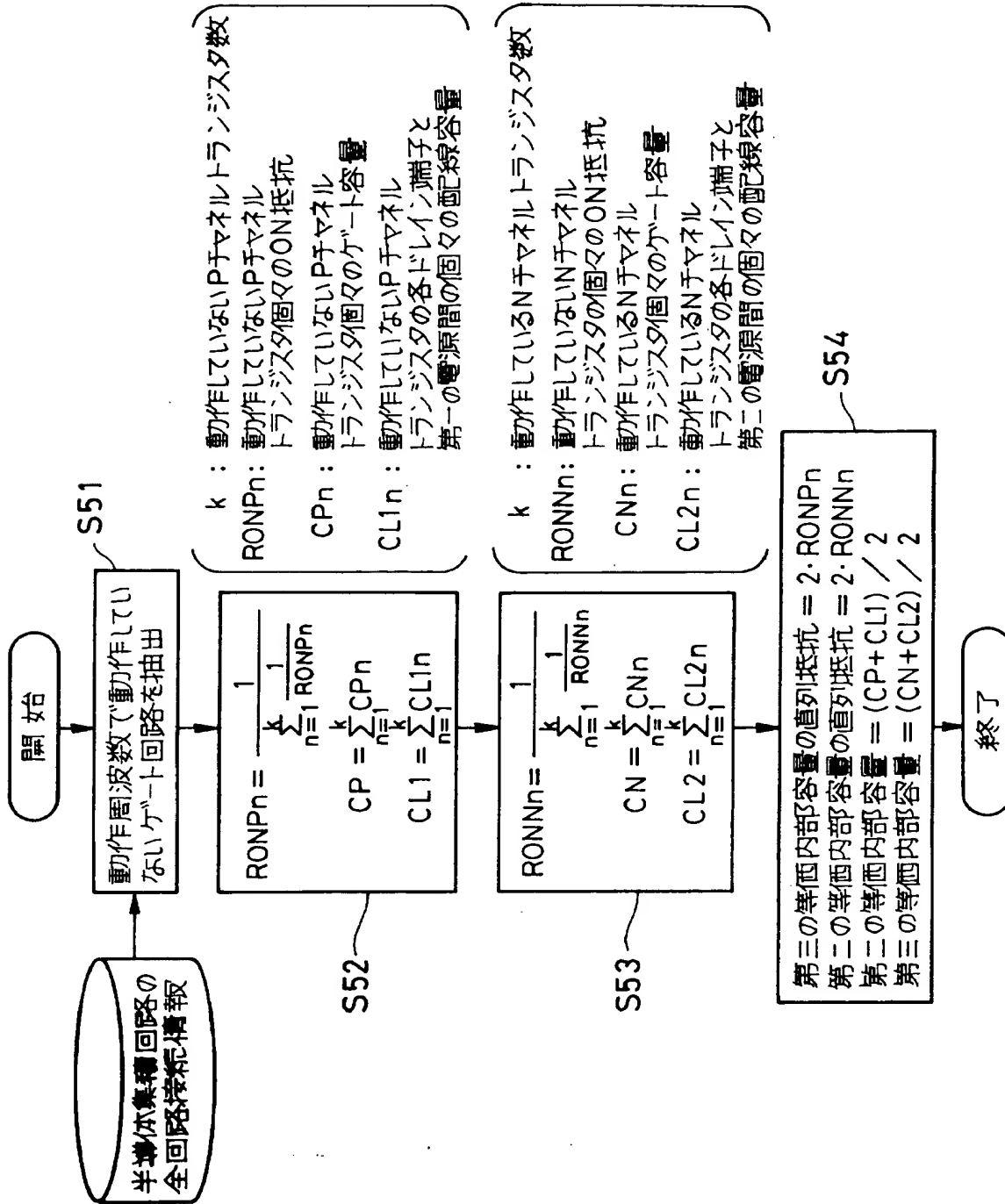
【図 1 5】



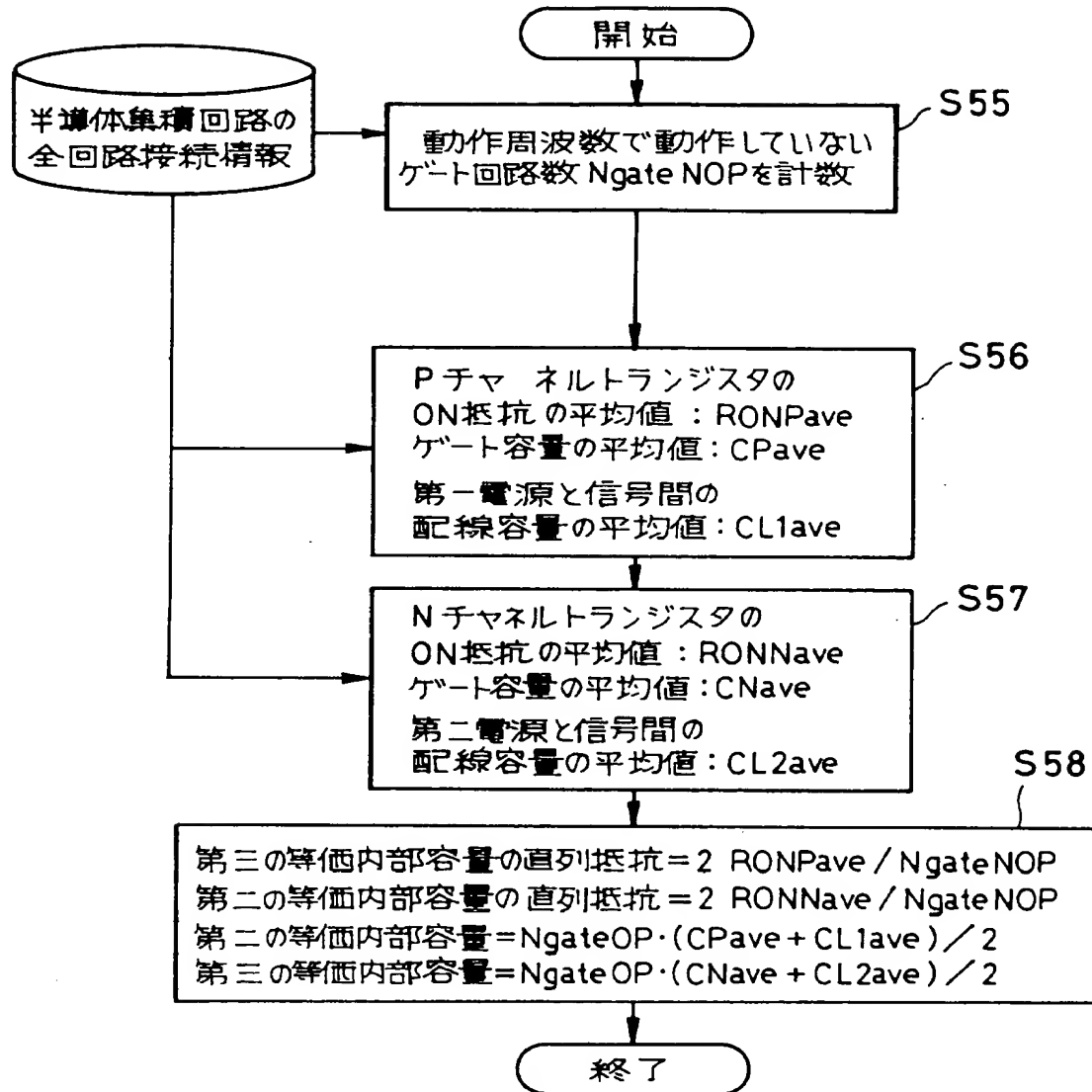
【図 1 6】



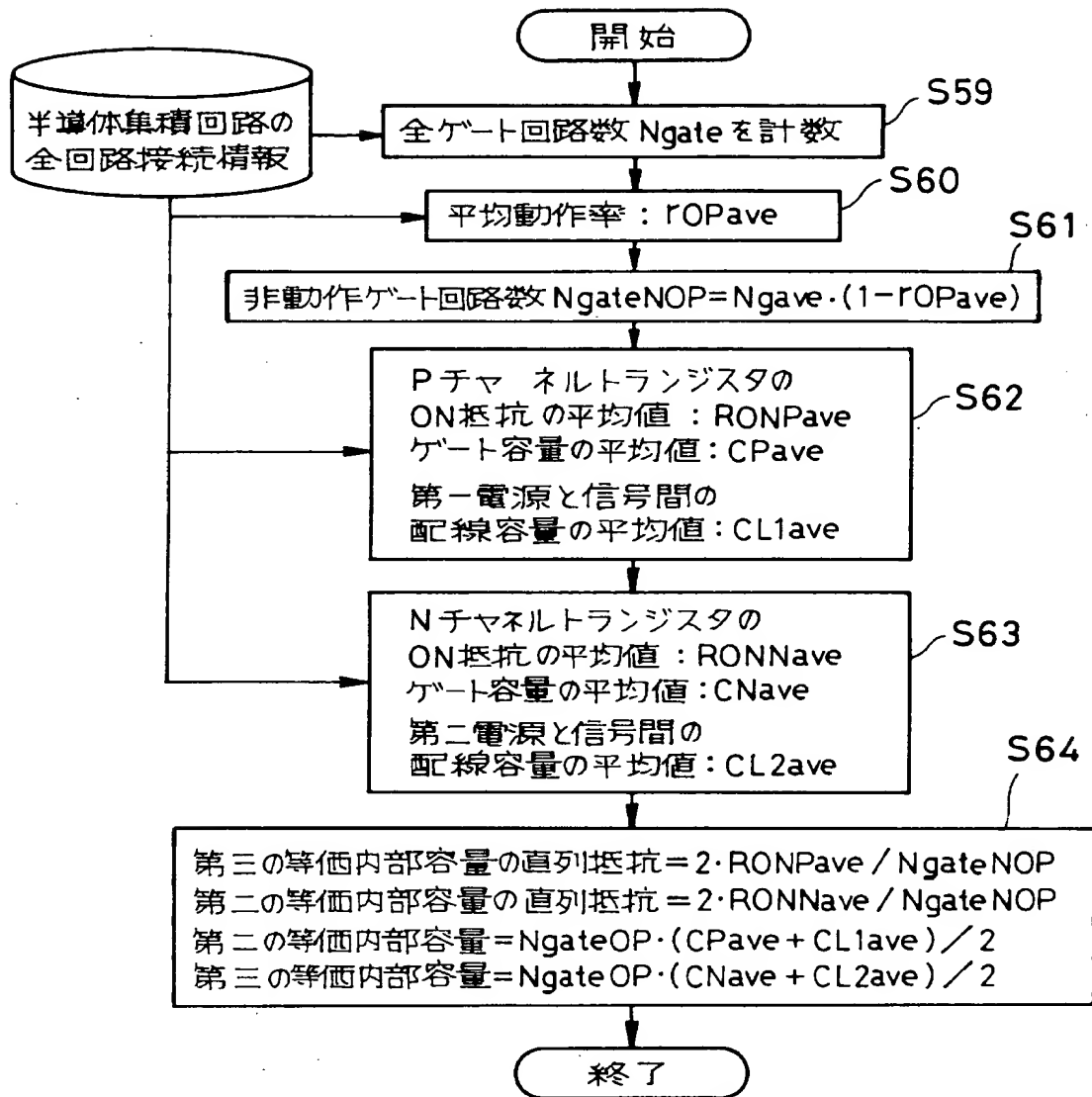
【図 1 7】



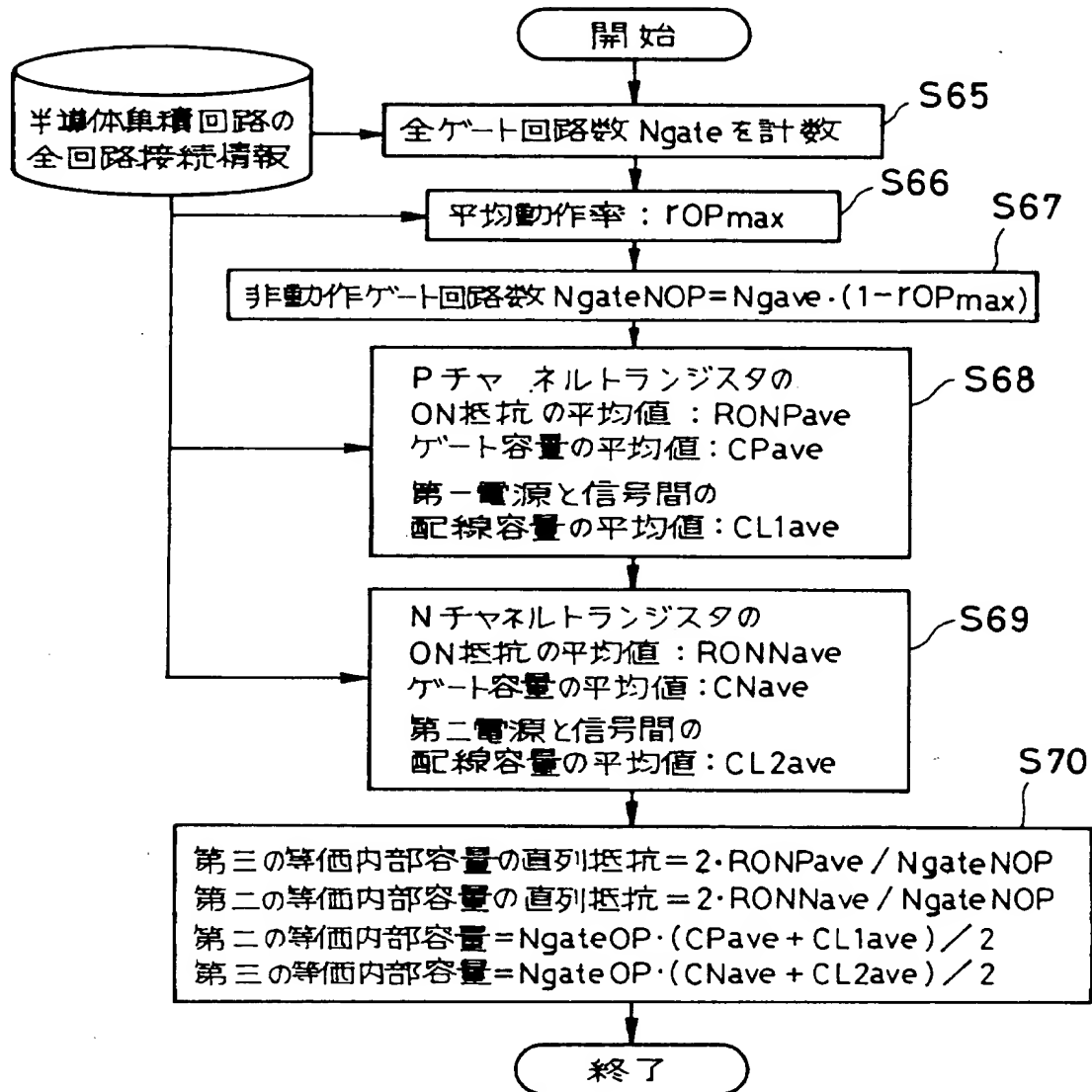
【図 1 8】



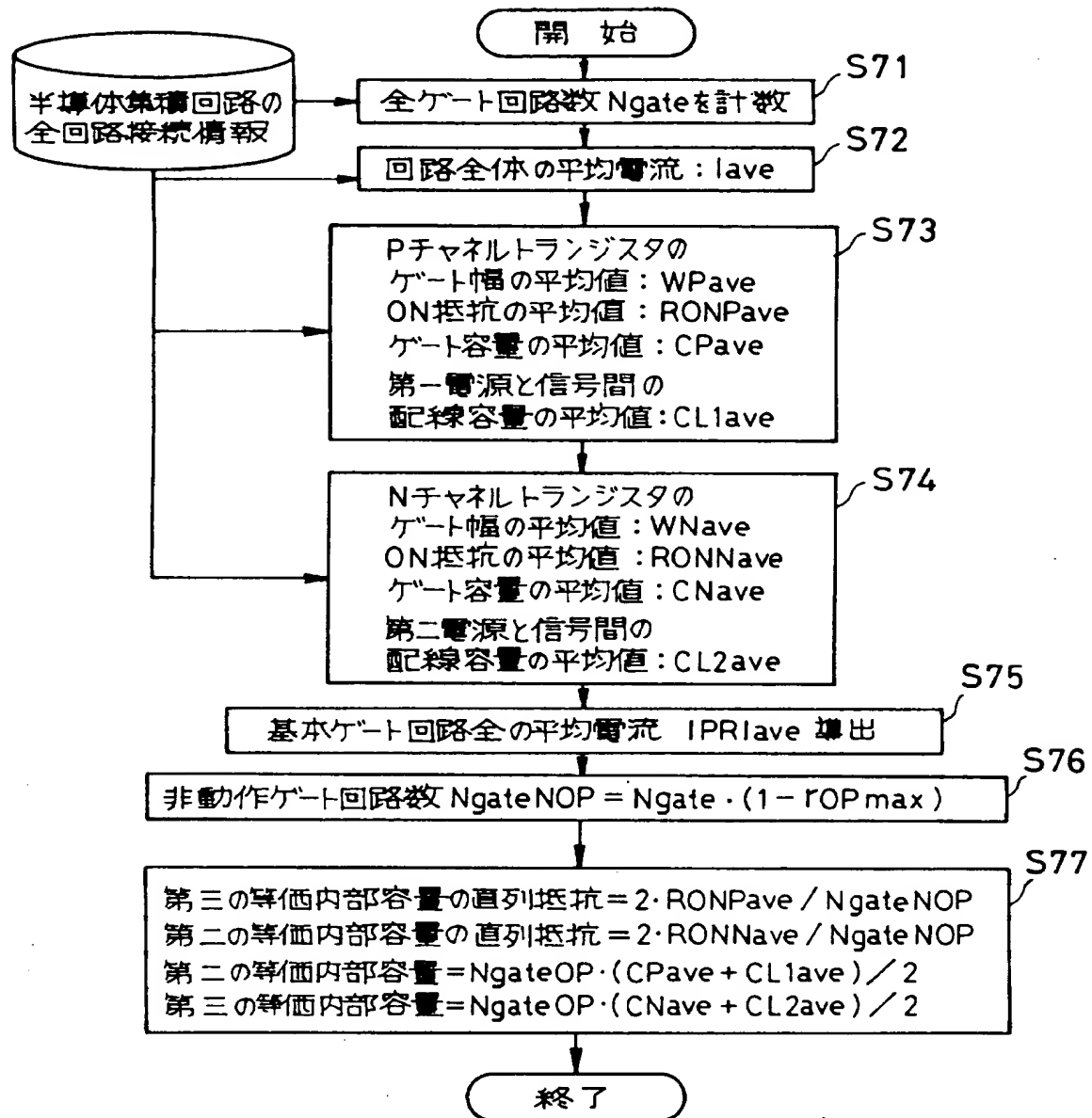
【図 1 9】



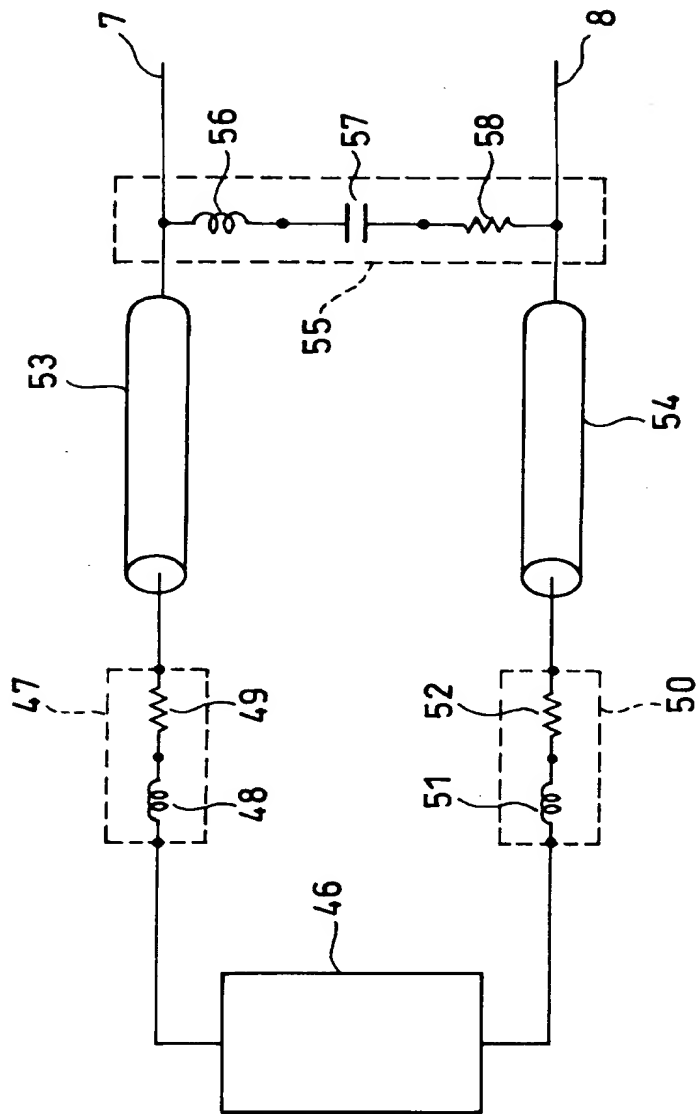
【図 2 0】



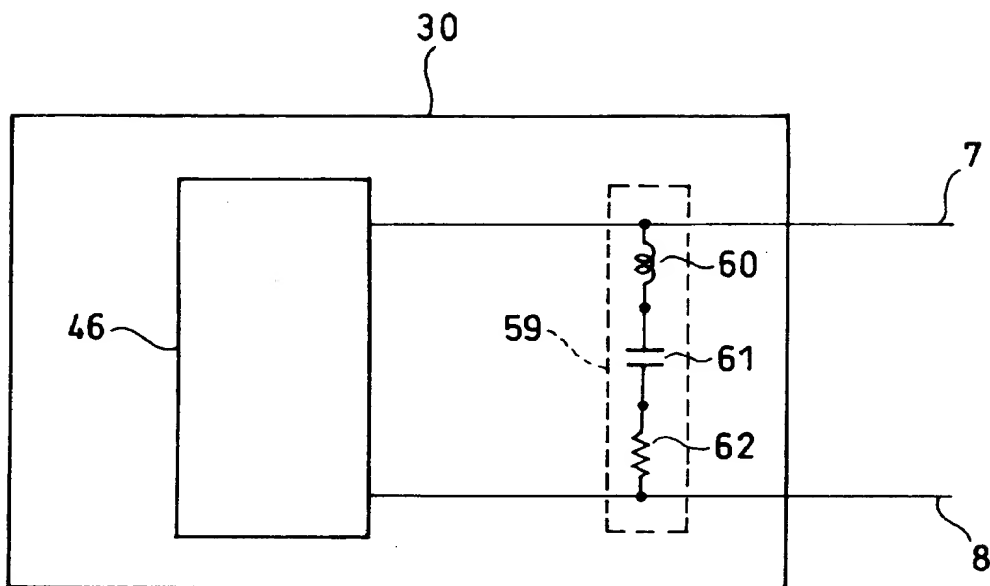
【図 2 1】



【図 2 2】



【図 2 3】



【書類名】 要約書

【要約】

【課題】 従来困難であったプリント基板電源系からの E M I シミュレーションを容易に、かつ正確に行う。

【解決手段】 L S I 内部を、1 個のインバータ回路 3，4 と、出力端子 7 1 と第一、第二の電源 7，8 間の配線容量より構成されるゲート回路 2 と、直列抵抗をもった等価内部容量 9 ～ 1 1 で置き換える。このモデルでは、トランジスタの数が実際に比べてかなり少なくなっているため、計算時間が少なく、かつ正確さを損なわないで E M I シミュレーションを行うことが可能である。またこのモデルでは、トランジスタの詳細なデータが必要なくなるため、L S I メーカーは L S I 内部の回路情報などの機密情報を他に漏洩することなく、ユーザーにモデルを提供することが可能である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社